



日本国特許庁
JAPAN PATENT OFFICE

09/876117
2673

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 7月24日

出願番号

Application Number:

特願2000-221812

出願人

Applicant(s):

株式会社日立製作所

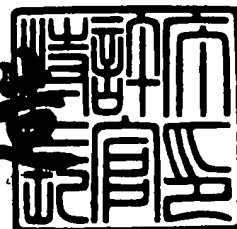
RECEIVED
SEP 06 2001
Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 PE27891

【提出日】 平成12年 7月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/18

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 小村 真一

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 青山 哲也

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 檜山 郁夫

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 山本 恒典

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 景山 寛

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 大辻 信也

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100098017

【弁理士】

【氏名又は名称】 吉岡 宏嗣

【先の出願に基づく優先権主張】

【出願番号】 特願2000-172940

【出願日】 平成12年 6月 9日

【手数料の表示】

【予納台帳番号】 055181

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9816103

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示方法および表示装置

【特許請求の範囲】

【請求項1】 行列方向にマトリクス状に配列した画素からなり各画素に対して行方向および列方向に配列した配線を用いて独立に信号を与える表示装置の表示方法において、

画素を N 行 \times N' 列からなる画素ブロックに分割し、 $N \times N'$ 個の画素からなる画素ブロックの各画素に対して $N \times N'$ よりも少ない数である n 値の階調を割り当てて表示する

ことを特徴とする表示方法。

【請求項2】 請求項1に記載の表示方法において、

前記画素ブロックを n 個の領域に分割し、それぞれの分割領域に同じ値の階調を割り当てて表示する

ことを特徴とする表示方法。

【請求項3】 請求項1に記載の表示方法において、

前記画素ブロックが、同1列の画素だけからなることを特徴とする表示方法。

【請求項4】 請求項1に記載の表示方法において、

N 行 \times N' 列の画素ブロックに対して前記画素ブロックに対応した n 個のうちの一つの階調を割り当てた画素に信号を与えているのと同期間に、次の N 行 \times N' 列の画素ブロックに対して前記画素ブロックに与える n 個の階調のうちの一つの階調をすべての画素に与える

ことを特徴とする表示方法。

【請求項5】 行列方向にマトリクス状に配列した画素からなり各画素に対して行方向および列方向に配列した配線を用いて独立に信号を与える表示装置の表示方法において、

画素を N 行 \times N' 列の画素ブロックに分割し、 N 行の画素に対して N よりも少ない数である n 回の選択期間で信号を与える

ことを特徴とする表示方法。

【請求項 6】 行列方向にマトリクス状に配列した画素電極と、
画素電極の電圧に応じて動作する表示素子と、
列方向に配列した X 信号線に X 信号を供給する X ドライバと、
行方向に配列した Y 信号線に Y 信号を供給する Y ドライバと、
列方向に配列した液晶駆動電圧線に液晶駆動電圧を供給する液晶駆動電圧供給回路と、

X 信号線と Y 信号線の交差部に設置され、X 信号線と Y 信号線に接続され、X 信号と Y 信号とを演算し出力する X Y 演算回路と、

X Y 演算回路の出力と基準電圧とを比較し、前記 X Y 演算回路の出力が基準電圧よりも高い場合には、第 1 の電圧を出力し、前記 X Y 演算回路の出力が基準電圧よりも低い場合には、第 2 の電圧を出力する信号比較器と、

前記信号比較器の出力に応じて、前記画素電極と液晶駆動電圧線との接続を制御するスイッチと、

画素を N 行 $\times N'$ 列の複数のブロックに分割し、各ブロック内の各画素の階調レベルを $N \times N'$ よりも少ない数である n 値に近似した n 階調近似画像信号に変換する n 階調近似演算回路と、

n 階調近似画像信号に応じて、前記 X ドライバ、前記 Y ドライバ、前記液晶駆動電圧供給回路を制御する信号制御回路とからなる表示装置。

【請求項 7】 請求項 6 に記載の表示装置において、

$n = 2$ であり、

前記 X Y 演算回路は、X 信号線と Y 信号線の間に直列に接続した 2 個のコンデンサからなり、2 個のコンデンサの接続点の電圧が出力値として前記信号比較器に入力され、

Y 信号線に印加される電圧 V_{YMAX} は、X 信号線に印加される電圧にかかわらず、X Y 演算器の出力が信号比較器の基準電圧よりも大きくなる十分な大きさの電圧であり、

Y 信号線に印加される電圧 V_{YMIN} は、X 信号線に印加される電圧にかかわらず、X Y 演算器の出力が信号比較器の基準電圧よりも小さくなる十分に小さな電圧であり、

第 1 の選択期間には、第 1 行～第 N 行の Y 信号線に V_{YMAX} が印加され、第 1 行～第 N 行以外の Y 信号線には、 V_{YMIN} が印加され、

続く第 2 の選択期間には、第 1 行～第 N 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $(N+1)$ 行～第 $2N$ 行の Y 信号に V_{YMAX} が印加され、第 1 行～第 $2N$ 行以外の Y 信号線には、 V_{YMIN} が印加され、

以下、第 i の選択期間には、第 $((i-2) \times N + 1)$ 行～第 $((i-1) \times N)$ 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $((i-1) \times N + 1)$ 行～第 $(i \times N)$ 行の Y 信号線に V_{YMAX} が印加され、第 $((i-2) \times N + 1)$ 行～第 $(i \times N)$ 行以外の Y 信号線に V_{YMIN} が印加されることを特徴とする表示装置。

【請求項 8】 請求項 6 に記載の表示装置において、

$n = 2$ であり、

前記 XY 演算回路は、一端が Y 信号線に接続されたコンデンサと前記コンデンサの他端がドレイン電極に接続され、ソース電極が X 信号線に接続されたトランジスタからなり、前記トランジスタのドレイン電極の電圧が出力値として信号比較に入力され、

Y 信号線に印加される電圧 V_{YMAX} は、 X 信号線に印加される電圧にかかわらず、 XY 演算器の出力が信号比較器の基準電圧よりも大きくなる十分な大きさの電圧であり、

Y 信号線に印加される電圧 V_{YMIN} は、 X 信号線に印加される電圧にかかわらず、 XY 演算器の出力が信号比較器の基準電圧よりも小さくなる十分に小さな電圧であり、

第 1 の選択期間には、第 1 行～第 N 行の Y 信号線に V_{YMAX} が印加され、第 1 行～第 N 行以外の Y 信号線には、 V_{YMIN} が印加され、

続く第 2 の選択期間には、第 1 行～第 N 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $(N+1)$ 行～第 $2N$ 行の Y 信号に V_{YMAX} が印加され、第 1 行～第 $2N$ 行以外の Y 信号線には、 V_{YMIN} が印加され、

以下、第 i の選択期間には、第 $((i-2) \times N + 1)$ 行～第 $((i-1) \times N)$ 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $((i-1) \times N + 1)$ 行

～第 $(i \times N)$ 行のY信号線にVYMAXが印加され、第 $((i - 2) \times N + 1)$ 行～第 $(i \times N)$ 行以外のY信号線にVYMINが印加されることを特徴とする表示装置。

【請求項 9】 請求項 6 に記載の表示装置において、

$n = 2$ であり、

XY演算回路は、一端がY信号線に接続されたコンデンサと前記コンデンサの他端がドレイン電極に接続され、ソース電極がX信号線に接続されたトランジスタからなり、前記トランジスタのドレイン電極の電圧が出力値として信号比較に入力され、

Y信号線に印加される電圧VYMAXは、X信号線に印加される電圧にかかわらず、XY演算器の出力が信号比較器の基準電圧よりも大きくなる十分な大きさの電圧であり、

Y信号線に印加される電圧VYMINは、X信号線に印加される電圧にかかわらず、XY演算器の出力が信号比較器の基準電圧よりも小さくなる十分に小さな電圧であり、

第1の選択期間には、第1行～第N行のY信号線にVYMAXが印加され、第1行～第N行以外のY信号線には、VYMINが印加され、

続く第2の選択期間には、第1行～第N行のY信号線に $VY1 < VY2 < \dots < VYN$ の電圧が印加され、第1行～第N行以外のY信号線には、VYMINが印加され、以下、第 $(2 \times i - 1)$ の選択期間($i = 1, 2, 3, \dots$)には、第 $((i - 1) \times N + 1)$ 行～第 $(i \times N)$ 行のY信号線にVYMAXの電圧が印加され、第 $((i - 1) \times N + 1)$ 行～第 $(i \times N)$ 行以外のY信号線にVYMINが印加され、第 $(2 \times i)$ の選択期間には、第 $((i - 1) \times N + 1)$ 行～第 $(i \times N)$ 行のY信号線に $VY1 < VY2 < \dots < VYN$ の電圧が印加され、第 $((i - 1) \times N + 1)$ 行～第 $(i \times N)$ 行以外のY信号線にVYMINが印加されることを特徴とする表示装置。

【請求項 10】 請求項 6 に記載の表示装置において、

N' 列ごとに、 $i = 1, 2, 3, \dots$ において、第 $((2 \times i - 2) \times N + 1)$ 行～第 $((2 \times i - 1) \times N)$ 行の液晶駆動電圧線は、互いに接続され、第 $((2 \times i -$

1) $\times N + 1$) 行～第 $(2 \times i \times N)$ 行の液晶駆動電圧線は、互いに接続され、第 $((2 \times i - 2) \times N + 1)$ 行～第 $((2 \times i - 1) \times N)$ 行の液晶駆動電圧線と第 $((2 \times i - 1) \times N + 1)$ 行～第 $(2 \times i \times N)$ 行の液晶駆動電圧線とが接続されていないことを特徴とする表示装置。

【請求項 1 1】 請求項 6 に記載の表示装置において、

$n = 2$ であり、

XY 演算回路は、一端が Y 信号線に接続されたコンデンサと前記コンデンサの他端がドレイン電極に接続され、ソース電極が X 信号線に接続されたトランジスタからなり、前記トランジスタのドレイン電極の電圧が出力値として信号比較に入力され、

Y 信号線に印加される電圧 V_{YMAX} および V_{YMID} は、X 信号線に印加される電圧 V_X の値にかかわらず、 $V_X + V_{YMAX} - V_{YMID}$ の値が信号比較器の基準電圧よりも大きくなるように設定されており、

Y 信号線に印加される電圧 V_{YMIN} は、X 信号線に印加される電圧にかかわらず、XY 演算器の出力が信号比較器の基準電圧よりも小さくなる十分に小さな電圧であり、

第 1 の選択期間には、第 1 行～第 N 行の Y 信号線に V_{YMID} が印加され、第 1 行～第 N 行以外の Y 信号線には、 V_{YMIN} が印加され、

続く第 2 の選択期間には、第 1 行～第 N 行の Y 信号線に V_{YMAX} が印加され、第 $(N + 1)$ 行～第 $(2 \times N)$ 行の Y 信号線に V_{YMID} が印加され、第 1 行～第 $(2 \times N)$ 行以外の Y 信号線には、 V_{YMIN} が印加され、

続く第 3 の選択期間には、第 1 行～第 N 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $(N + 1)$ 行～第 $(2 \times N)$ 行の Y 信号に V_{YMAX} が印加され、第 $(2 \times N + 1)$ 行～第 $(3 \times N)$ 行の Y 信号線には、 V_{YMID} が印加され、第 1 行～第 $(3 \times N)$ 行以外の Y 信号線には、 V_{YMIN} が印加され、

以下、第 i の選択期間には、第 $((i - 1) \times N + 1)$ 行～第 $((i - 2) \times N)$ 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $((i - 2) \times N + 1)$ 行～第 $((i - 1) \times N)$ 行の Y 信号線に V_{YMAX} が印加され、第 $((i - 1) \times N + 1)$ 行～第 $(i \times N)$ 行の Y 信号線に V_{YMAX} が印加され、第 $((i - 3) \times N + 1)$ 行～第 $(i$

×N)行以外のY信号線にVYMINが印加される

ことを特徴とする表示装置。

【請求項12】 行列方向にマトリクス状に配列した赤色画素電極、緑色画素電極、青色画素電極と、

各画素電極の電圧に応じて動作する表示素子と、

列方向に配列したX信号線にX信号を供給するXドライバと、

行方向に配列したY信号線にY信号を供給するYドライバと、

列方向に配列した赤色液晶駆動電圧線、緑色液晶駆動電圧線、および、青色液晶駆動電圧線に液晶駆動電圧を供給する液晶駆動電圧供給回路と、

X信号線とY信号線の交差部に設置され、X信号線とY信号線に接続され、X信号とY信号とを演算し出力するXY演算回路と、

XY演算回路の出力と基準電圧を比較して、前記XY演算回路の出力が基準電圧よりも高い場合には、第1の電圧を出力し、前記XY演算回路の出力が基準電圧よりも低い場合には、第2の電圧を出力する信号比較器と、

信号比較器の出力に応じて、前記赤色画素電極と赤色液晶駆動電圧線との接続を制御するスイッチと、前記緑色画素電極と緑色液晶駆動電圧線との接続を制御するスイッチと、前記青色画素電極と青色液晶駆動電圧線との接続を制御するスイッチと、

列方向に近接して配列する赤色画素、緑色画素、青色画素をN行×(N'×3)列の複数のブロックに分割し、各ブロック内の前記列方向に近接して配列する赤色画素、緑色画素、青色画素の3画素で生成する色数をN×N'よりも少ない数であるn値に近似したn色近似画像信号に変換するn色近似演算回路と、

n色近似画像信号に応じて、前記Xドライバ、前記Yドライバ、前記液晶駆動電圧供給回路を制御する信号制御回路とからなる表示装置。

【請求項13】 請求項6ないし請求項12のいずれか一項に記載の表示装置において、

前記各画素が、行方向に配列し信号VYが与えられる複数の行配線と、列方向に配列し信号VXが与えられる複数の列配線と、行配線と列配線の交差部に設けられた前記画素電極と、前記行配線と列配線の交差部に設けられ対応する信号V

Xと信号VYの演算値に対応してデータ信号供給線と画素電極との接続を制御するスイッチング素子とからなることを特徴とする表示装置。

【請求項14】 請求項6ないし請求項12のいずれか一項に記載の表示装置において、

前記各画素が、行方向に配列し信号VYが与えられる複数の行配線と、列方向に配列し信号VXが与えられる複数の列配線と、行配線と列配線の交差部に設けられた赤色画素電極、緑色画素電極、青色画素電極と、行配線と列配線の交差部に設けられ対応する信号VXと信号VYの演算値に対応して赤色データ信号供給線と赤色画素電極との接続、緑色データ信号供給線と緑色画素電極との接続、青色データ信号供給線と青色画素電極との接続を同じ状態に制御するスイッチング素子tpとからなることを特徴とする表示装置。

【請求項15】 請求項6ないし14のいずれか一項に記載の表示装置と、表示装置に画像を表示することを命令する画像発生装置と、前記命令に従い、表示装置に画像信号を入力する表示制御装置とからなり、前記表示装置が、前記 $N \times N'$ 個の画素からなる画素ブロックの各画素に対してn値の階調を割り当てる手段を含む表示システム。

【請求項16】 請求項6ないし14のいずれか一項に記載の表示装置と、表示装置に画像を表示することを命令する画像発生装置と、前記命令に従い、表示装置に画像信号を入力する表示制御装置とからなり、前記表示制御装置が、前記 $N \times N'$ 個の画素からなる画素ブロックの各画素に対してn値の階調を割り当てる手段を含む表示システム。

【請求項17】 請求項6ないし14のいずれか一項に記載の表示装置と、表示装置に画像を表示することを命令する画像発生装置と、前記命令に従い、表示装置に画像信号を入力する表示制御装置とからなり、前記画像発生装置が、前記 $N \times N'$ 個の画素からなる画素ブロックの各画素に対してn値の階調を割り当てる手段を含む表示システム。

【請求項18】 列方向に配列したNX本のX信号線にX信号を供給するX

ドライバと、行方向に配列した $N \times Y$ 本の Y 信号線に Y 信号を供給する Y ドライバと、前記 X ドライバおよび前記 Y ドライバを制御する信号制御回路と、 X 信号線と Y 信号線との交差部に設置され行列方向にマトリクス状に配列した画素電極と、前記画素電極の電圧に応じて動作する表示素子とからなる表示装置において、前記信号制御回路に、表示する画像に応じた入力画像信号が入力され、

フレーム周波数が f (Hz)で、赤、緑、青の各色を n ビットで表示する際に、前記入力画像信号の単位時間当たりのデータ量が $N \times X \times N \times Y \times (3 \times n) \times f$ ビット/秒よりも少ない

ことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示方法および表示装置に係り、特に、超高精細表示装置および駆動周波数の高い表示装置に関する。

【0002】

【従来の技術】

従来のTFTアクティブマトリクス液晶ディスプレイの駆動には、線順次走査方式が採用されており、各走査電極には、1フレーム時間ごとに1回走査パルスが印加される。1フレーム時間としては、 $1/60$ 秒程度がよく用いられ、走査パルスは、通常パネルの上側から下に向かって、順次タイミングをずらしながら印加される。したがって、 640×480 ドットの画素を持つ液晶表示装置では、1フレーム内に480本のゲート配線を走査するので、走査パルスの時間幅は、約 $35 \mu s$ である。

【0003】

一方、信号電極には、走査パルスに同期して、走査パルスが印加される1行分の画素の液晶に印加する液晶駆動電圧を一斉に印加する。そのためには、1行前の走査電極に走査パルスを印加している時間内に、すべての信号電極に次の行の画素の液晶に印加する液晶駆動電圧に対応した画素信号を入力する必要がある。画素構成として、 640×480 ドットの液晶表示装置では、走査パルスの時間

幅約 $35\ \mu\text{s}$ 内に 640 本分の画素信号を入力するので、1 画素信号あたりに割り当てられる時間は、 $35\ \mu\text{s} / 640 = \text{約 } 55\ \text{ns}$ である。

【0004】

ゲートパルスを印加された選択画素では、走査電極に接続された TFT のゲート電極電圧が高くなり、TFT がオン状態になる。このとき、液晶駆動電圧は、TFT のソースドレイン間を経由して、表示電極に印加され、画素容量を上記 $35\ \mu\text{s}$ の時間内に充電する。画素容量とは、表示電極と対向電極との間に形成される液晶容量と、画素に配置した負荷容量とを合わせた容量である。この充電動作を繰り返すと、パネル全面の画素容量には、フレーム時間ごとに繰り返して液晶印加電圧が印加される。

【0005】

従来の TFT アクティブマトリクス液晶表示装置は、上記のように駆動されるため、高精細になり表示する画素数が増大するに伴い、走査パルスの時間幅および 1 画素信号を入力するために割り当てられる時間は短くなる。すなわち、短い時間内で画素容量を充電する必要がある。また、より短い時間で画素信号を入力する必要がある。

【0006】

一方、高速動画に対応するためには、1 フレーム時間をさらに短くする必要がある。この場合も走査パルスの時間幅および 1 画素信号を入力するために割り当てられる時間は短くなる。

【0007】

【発明が解決しようとする課題】

以上のように、高精細表示または高速動画表示を実現するには、短い時間内に液晶駆動電圧を画素容量に充電する必要がある。液晶駆動電圧は、端部に設けた駆動回路から信号電極線を介して画素容量に供給される。その際、信号電極線の配線遅延により、画素容量に供給される液晶駆動電圧には、遅れが生じる。正常な画像を表示するには、走査パルスの時間幅をこの遅れ時間に対して十分に長く取る必要がある。

【0008】

しかし、従来技術では、高精細表示または高速動画表示を実現するには、この走査パルスの時間幅を十分に確保できず、正常な表示がなされない。

【0009】

また、高精細表示または高速動画表示を実現するには、液晶表示装置に対してより短い時間で画素信号を入力する必要がある。すなわち、液晶表示装置に入力する信号の周波数が高くなる。この際に、液晶表示装置に信号を入力するケーブルの配線遅延により、画素信号が液晶表示装置に正確に入力されなくなり、所望の画像が表示されなくなる。

【0010】

本発明の目的は、高精細表示または高速動画表示が可能な表示方法および表示装置を提供することである。

【0011】

【課題を解決するための手段】

本発明は、上記目的を達成するために、行列方向にマトリクス状に配列した画素からなり、各画素に対して行方向および列方向に配列した配線を用いて独立に信号を与える表示装置の表示方法において、画素を N 行 \times N' 列からなる画素ブロックに分割し、 $N \times N'$ 個の画素からなる画素ブロックの各画素に対して $N \times N'$ よりも少ない数である n 値の階調を割り当てて表示する表示方法を提案する。

【0012】

前記画素ブロックを n 個の領域に分割し、それぞれの分割領域に同じ値の階調を割り当てて表示することができる。

【0013】

前記画素ブロックは、同1列の画素だけからなるようにしてもよい。

【0014】

N 行 \times N' 列の画素ブロックに対して画素ブロックに対応した n 個のうちの一つの階調を割り当てた画素に信号を与えているのと同期間に、次の N 行 \times N' 列の画素ブロックに対して画素ブロックに与える n 個の階調のうちの一つの階調をすべての画素に与える。

【0015】

本発明は、また、行列方向にマトリクス状に配列した画素からなり、各画素に対して行方向および列方向に配列した配線を用いて独立に信号を与える表示装置の表示方法において、画素を N 行 \times N' 列の画素ブロックに分割し、 N 行の画素に対して N よりも少ない数である n 回の選択期間で信号を与える表示方法を提案する。

【0016】

本発明は、上記目的を達成するために、行列方向にマトリクス状に配列した画素電極と、画素電極の電圧に応じて動作する表示素子と、列方向に配列した X 信号線に X 信号を供給する X ドライバと、行方向に配列した Y 信号線に Y 信号を供給する Y ドライバと、列方向に配列した液晶駆動電圧線に液晶駆動電圧を供給する液晶駆動電圧供給回路と、 X 信号線と Y 信号線の交差部に設置され、 X 信号線と Y 信号線に接続され、 X 信号と Y 信号とを演算し出力する XY 演算回路と、 XY 演算回路の出力と基準電圧とを比較し、 XY 演算回路の出力が基準電圧よりも高い場合には、第1の電圧を出力し、 XY 演算回路の出力が基準電圧よりも低い場合には、第2の電圧を出力する信号比較器と、信号比較器の出力に応じて、画素電極と液晶駆動電圧線との接続を制御するスイッチと、画素を N 行 \times N' 列の複数のブロックに分割し、各ブロック内の各画素の階調レベルを $N \times N'$ よりも少ない数である n 値に近似した n 階調近似画像信号に変換する n 階調近似演算回路と、 n 階調近似画像信号に応じて、 X ドライバ、 Y ドライバ、液晶駆動電圧供給回路を制御する信号制御回路とからなる表示装置を提案する。

【0017】

n が2である場合、 XY 演算回路は、 X 信号線と Y 信号線の間に直列に接続した2個のコンデンサからなり、2個のコンデンサの接続点の電圧が出力値として信号比較器に入力され、 Y 信号線に印加される電圧 V_{YMAX} は、 X 信号線に印加される電圧にかかわらず、 XY 演算器の出力が信号比較器の基準電圧よりも大きくなる十分な大きさの電圧であり、 Y 信号線に印加される電圧 V_{YMIN} は、 X 信号線に印加される電圧にかかわらず、 XY 演算器の出力が信号比較器の基準電圧よりも小さくなる十分に小さな電圧であり、第1の選択期間には、第1行～第 N 行の

Y 信号線に V_{YMAX} が印加され、第 1 行～第 N 行以外の Y 信号線には、 V_{YMIN} が印加され、続く第 2 の選択期間には、第 1 行～第 N 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $(N+1)$ 行～第 $2N$ 行の Y 信号に V_{YMAX} が印加され、第 1 行～第 $2N$ 行以外の Y 信号線には、 V_{YMIN} が印加され、以下、第 i の選択期間には、第 $((i-2) \times N + 1)$ 行～第 $((i-1) \times N)$ 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $((i-1) \times N + 1)$ 行～第 $(i \times N)$ 行の Y 信号線に V_{YMAX} が印加され、第 $((i-2) \times N + 1)$ 行～第 $(i \times N)$ 行以外の Y 信号線に V_{YMIN} が印加されるようにする。

【 0 0 1 8 】

また、 n が 2 である場合、XY 演算回路は、一端が Y 信号線に接続されたコンデンサとコンデンサの他端がドレイン電極に接続され、ソース電極が X 信号線に接続されたトランジスタからなり、トランジスタのドレイン電極の電圧が出力値として信号比較に入力され、Y 信号線に印加される電圧 V_{YMAX} は、X 信号線に印加される電圧にかかわらず、XY 演算器の出力が信号比較器の基準電圧よりも大きくなる十分な大きさの電圧であり、Y 信号線に印加される電圧 V_{YMIN} は、X 信号線に印加される電圧にかかわらず、XY 演算器の出力が信号比較器の基準電圧よりも小さくなる十分に小さな電圧であり、第 1 の選択期間には、第 1 行～第 N 行の Y 信号線に V_{YMAX} が印加され、第 1 行～第 N 行以外の Y 信号線には、 V_{YMIN} が印加され、続く第 2 の選択期間には、第 1 行～第 N 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $(N+1)$ 行～第 $2N$ 行の Y 信号に V_{YMAX} が印加され、第 1 行～第 $2N$ 行以外の Y 信号線には、 V_{YMIN} が印加され、以下、第 i の選択期間には、第 $((i-2) \times N + 1)$ 行～第 $((i-1) \times N)$ 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $((i-1) \times N + 1)$ 行～第 $(i \times N)$ 行の Y 信号線に V_{YMAX} が印加され、第 $((i-2) \times N + 1)$ 行～第 $(i \times N)$ 行以外の Y 信号線に V_{YMIN} が印加されるようにしてもよい。

【 0 0 1 9 】

さらに、 n が 2 である場合、XY 演算回路は、一端が Y 信号線に接続されたコンデンサとコンデンサの他端がドレイン電極に接続され、ソース電極が X 信号線に接続されたトランジスタからなり、トランジスタのドレイン電極の電圧が出力

値として信号比較に入力され、Y信号線に印加される電圧 V_{YMAX} は、X信号線に印加される電圧にかかわらず、XY演算器の出力が信号比較器の基準電圧よりも大きくなる十分な大きさの電圧であり、Y信号線に印加される電圧 V_{YMIN} は、X信号線に印加される電圧にかかわらず、XY演算器の出力が信号比較器の基準電圧よりも小さくなる十分に小さな電圧であり、第1の選択期間には、第1行～第N行のY信号線に V_{YMAX} が印加され、第1行～第N行以外のY信号線には、 V_{YMIN} が印加され、続く第2の選択期間には、第1行～第N行のY信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第1行～第N行以外のY信号線には、 V_{YMIN} が印加され、以下、第 $(2 \times i - 1)$ の選択期間($i = 1, 2, 3, \dots$)には、第 $((i - 1) \times N + 1)$ 行～第 $(i \times N)$ 行のY信号線に V_{YMAX} の電圧が印加され、第 $((i - 1) \times N + 1)$ 行～第 $(i \times N)$ 行以外のY信号線に V_{YMIN} が印加され、第 $(2 \times i)$ の選択期間には、第 $((i - 1) \times N + 1)$ 行～第 $(i \times N)$ 行のY信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $((i - 1) \times N + 1)$ 行～第 $(i \times N)$ 行以外のY信号線に V_{YMIN} が印加されることも可能である。

【0020】

N'列ごとに、 $i = 1, 2, 3, \dots$ において、第 $((2 \times i - 2) \times N + 1)$ 行～第 $((2 \times i - 1) \times N)$ 行の液晶駆動電圧線は、互いに接続され、第 $((2 \times i - 1) \times N + 1)$ 行～第 $(2 \times i \times N)$ 行の液晶駆動電圧線は、互いに接続され、第 $((2 \times i - 2) \times N + 1)$ 行～第 $((2 \times i - 1) \times N)$ 行の液晶駆動電圧線と第 $((2 \times i - 1) \times N + 1)$ 行～第 $(2 \times i \times N)$ 行の液晶駆動電圧線とが接続されていない表示装置を実現することもできる。

【0021】

nが2である場合、XY演算回路は、一端がY信号線に接続されたコンデンサとコンデンサの他端がドレイン電極に接続され、ソース電極がX信号線に接続されたトランジスタからなり、トランジスタのドレイン電極の電圧が出力値として信号比較に入力され、Y信号線に印加される電圧 V_{YMAX} および V_{YMID} は、X信号線に印加される電圧 V_X の値にかかわらず、 $V_X + V_{YMAX} - V_{YMID}$ の値が信号比較器の基準電圧よりも大きくなるように設定されており、Y信号線に印加される電圧 V_{YMIN} は、X信号線に印加される電圧にかかわらず、XY演算器の出力が信号

比較器の基準電圧よりも小さくなる十分に小さな電圧であり、第 1 の選択期間には、第 1 行～第 N 行の Y 信号線に $V_{Y\text{MID}}$ が印加され、第 1 行～第 N 行以外の Y 信号線には、 $V_{Y\text{MIN}}$ が印加され、続く第 2 の選択期間には、第 1 行～第 N 行の Y 信号線に $V_{Y\text{MAX}}$ が印加され、第 $(N+1)$ 行～第 $(2 \times N)$ 行の Y 信号線に $V_{Y\text{MID}}$ が印加され、第 1 行～第 $(2 \times N)$ 行以外の Y 信号線には、 $V_{Y\text{MIN}}$ が印加され、続く第 3 の選択期間には、第 1 行～第 N 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $(N+1)$ 行～第 $(2 \times N)$ 行の Y 信号に $V_{Y\text{MAX}}$ が印加され、第 $(2 \times N+1)$ 行～第 $(3 \times N)$ 行の Y 信号線には、 $V_{Y\text{MID}}$ が印加され、第 1 行～第 $(3 \times N)$ 行以外の Y 信号線には、 $V_{Y\text{MIN}}$ が印加され、以下、第 i の選択期間には、第 $((i-1) \times N+1)$ 行～第 $((i-2) \times N)$ 行の Y 信号線に $V_{Y1} < V_{Y2} < \dots < V_{YN}$ の電圧が印加され、第 $((i-2) \times N+1)$ 行～第 $((i-1) \times N)$ 行の Y 信号線に $V_{Y\text{MAX}}$ が印加され、第 $((i-1) \times N+1)$ 行～第 $(i \times N)$ 行の Y 信号線に $V_{Y\text{MAX}}$ が印加され、第 $((i-3) \times N+1)$ 行～第 $(i \times N)$ 行以外の Y 信号線に $V_{Y\text{MIN}}$ が印加される駆動方式を採用してもよい。

【0022】

本発明は、上記目的を達成するために、行列方向にマトリクス状に配列した赤色画素電極、緑色画素電極、青色画素電極と、各画素電極の電圧に応じて動作する表示素子と、列方向に配列した X 信号線に X 信号を供給する X ドライバと、行方向に配列した Y 信号線に Y 信号を供給する Y ドライバと、列方向に配列した赤色液晶駆動電圧線、緑色液晶駆動電圧線、青色液晶駆動電圧線に液晶駆動電圧を供給する液晶駆動電圧供給回路と、 X 信号線と Y 信号線の交差部に設置され、 X 信号線と Y 信号線に接続され、 X 信号と Y 信号とを演算し出力する XY 演算回路と、 XY 演算回路の出力と基準電圧を比較して、 XY 演算回路の出力が基準電圧よりも高い場合には、第 1 の電圧を出力し、 XY 演算回路の出力が基準電圧よりも低い場合には、第 2 の電圧を出力する信号比較器と、信号比較器の出力に応じて、赤色画素電極と赤色液晶駆動電圧線との接続を制御するスイッチと、緑色画素電極と緑色液晶駆動電圧線との接続を制御するスイッチと、青色画素電極と青色液晶駆動電圧線との接続を制御するスイッチと、列方向に近接して配列する赤色画素、緑色画素、青色画素を N 行 \times $(N' \times 3)$ 列の複数のブロックに分割し、

各ブロック内の列方向に近接して配列する赤色画素、緑色画素、青色画素の3画素で生成する色数を $N \times N'$ よりも少ない数である n 値に近似した n 色近似画像信号に変換する n 色近似演算回路と、 n 色近似画像信号に応じて、Xドライバ、Yドライバ、液晶駆動電圧供給回路を制御する信号制御回路とからなる表示装置を提案する。

【0023】

前記各画素は、具体的には、行方向に配列し信号VYが与えられる複数の行配線と、列方向に配列し信号VXが与えられる複数の列配線と、行配線と列配線の交差部に設けられた画素電極と、行配線と列配線の交差部に設けられ対応する信号VXと信号VYの演算値に対応してデータ信号供給線と画素電極との接続を制御するスイッチング素子とからなる。

【0024】

前記各画素は、また、具体的には、行方向に配列し信号VYが与えられる複数の行配線と、列方向に配列し信号VXが与えられる複数の列配線と、行配線と列配線の交差部に設けられた赤色画素電極、緑色画素電極、青色画素電極と、行配線と列配線の交差部に設けられ対応する信号VXと信号VYの演算値に対応して赤色データ信号供給線と赤色画素電極との接続、緑色データ信号供給線と緑色画素電極との接続、青色データ信号供給線と青色画素電極との接続を同じ状態に制御するスイッチング素子 t_p とからなる。

【0025】

本発明は、上記目的を達成するために、上記いずれかの表示装置と、表示装置に画像を表示することを命令する画像発生装置と、命令に従い、表示装置に画像信号を入力する表示制御装置とからなり、表示装置が、 $N \times N'$ 個の画素からなる画素ブロックの各画素に対して n 値の階調を割り当てる手段を含む表示システムを提案する。

【0026】

本発明は、また、上記いずれかの表示装置と、表示装置に画像を表示することを命令する画像発生装置と、命令に従い、表示装置に画像信号を入力する表示制御装置とからなり、表示制御装置が、 $N \times N'$ 個の画素からなる画素ブロックの

各画素に対して n 値の階調を割り当てる手段を含む表示システムを提案する。

【0027】

本発明は、さらに、上記いずれかの表示装置と、表示装置に画像を表示することを命令する画像発生装置と、命令に従い、表示装置に画像信号を入力する表示制御装置とからなり、画像発生装置が、 $N \times N'$ 個の画素からなる画素ブロックの各画素に対して n 値の階調を割り当てる手段を含む表示システムを提案する。

【0028】

本発明は、列方向に配列した N 本の X 信号線に X 信号を供給する X ドライバと、行方向に配列した N 本の Y 信号線に Y 信号を供給する Y ドライバと、 X ドライバおよび Y ドライバを制御する信号制御回路と、 X 信号線と Y 信号線との交差部に設置され行列方向にマトリクス状に配列した画素電極と、画素電極の電圧に応じて動作する表示素子とからなる表示装置において、信号制御回路に、表示する画像に応じた入力画像信号が入力され、フレーム周波数が f (Hz) で、赤、緑、青の各色を n ビットで表示する際に、入力画像信号の単位時間当たりのデータ量が $NX \times NY \times (3 \times n) \times f$ ビット/秒よりも少ない表示装置を提案する。

【0029】

【発明の実施の形態】

次に、図1ないし図21を参照して、本発明による表示装置の実施形態を詳しく説明する。

【0030】

【実施形態1】

図1は、本発明による表示システムの実施形態1の全体構成を示すブロック図である。本実施形態1の表示装置は、入力した画像信号をブロックごとに2値の階調に近似した n 階調近似画像信号に変換するための n 階調近似演算回路10と、 n 階調近似演算回路10から出力される n 階調近似画像信号に従い、 X ドライバ30、 Y ドライバ40、共通電圧発生回路50、信号供給回路60に所定の信号を供給する信号発生回路20と、 X ドライバ30に接続され Y 方向に伸びた X 信号線31と Y ドライバ40に接続され X 方向に伸びた Y 信号線41との交差部に設けられた複数の画素部100とからなる。

【0031】

図2は、画素部100の構成の一例を示す回路図である。画素部100には、Xドライバ30から、X信号線31を通して、X信号VXが供給される。画素部100には、Yドライバ40から、Y信号線41を通して、Y信号VYが供給される。画素部100には、信号供給回路60から、液晶駆動信号線61を通して、液晶駆動信号VLCDが供給される。また、画素部100には、共通電圧発生回路50から、共通電圧線51を通して、共通電圧VCOMが供給される。

【0032】

画素部100は、X信号線31とY信号線41とに接続されたXY演算回路110と、XY演算回路110に接続された信号比較器120と、信号比較器の出力に応じて制御されるスイッチ130と、スイッチ130により液晶駆動信号線61との接続が制御される画素電極140と、画素電極140と共通電圧線51との間に配置された液晶150とからなる。図1に示すように、画素部100は、X方向4列とY方向4行の計16個の画素部からなるブロック160に分割される。

【0033】

図3は、画素部100の詳細な回路構成の一例を示す回路図である。XY演算回路110は、X信号線31からVXが供給される端子に接続したコンデンサ111と、Y信号線41からVYが供給される端子に接続したコンデンサ112と、クロック信号CLKに応じて動作するp型MOS-TFT113とからなる。クロック信号CLKは、クロック信号線71を介して、Yドライバ40から供給される。信号比較器120は、直列に接続したp型MOS-TFT121とn型MOS-TFT122とからなる。スイッチ130は、p型MOS-TFT131からなる。p型MOS-TFT131のソース端子は、画素電極140に接続され、ドレイン端子は、液晶駆動信号線61に接続される。

【0034】

XY演算回路110のコンデンサ111の容量とコンデンサ112の容量とは、等しく、信号比較器120の入力電圧 $V_{in} = (VX + VY) / 2$ が出力される。XY演算回路110の出力端子115すなわち信号比較器120の入力端子は、フ

ローテイングであるため、p型MOS-TFT113を介して、出力端子115とX信号線31とを時々導通させ、安定に動作させる。

【0035】

図4は、信号比較器120の動作を説明する図である。VDDを12Vとしたとき、信号比較器120の入力 V_{in} と出力 V_{out} との関係は、図4に示すように、 V_{in} が4V以下のときには、 $V_{out}=12V$ 、 V_{in} が6V以上のときは、 $V_{out}=0V$ となる。なお、図1および図2では、説明を簡略化するため、VDDを供給する信号線および接地電圧を供給する信号線は、省略してある。

【0036】

本実施形態1の動作を説明する。n階調近似演算回路10には、各画素の階調情報を持った画像信号が入力される。n階調近似演算回路10では、画素を4行×4列=16個ごとのブロックに分割し、ブロックごとに画素の階調を2値に近似する。この近似は、以下のように実行する。まず、16個の画素の階調の平均値を計算する。次にブロック内の画素を階調レベルが平均値よりも高い画素Hと低い画素Lとに分ける。画素Hの階調の平均値を計算し、これを画素Hの階調値と近似する。同様に、画素Lの階調の平均値を計算し、これを画素Lの階調値と近似する。さらに、ブロック内の画素をY方向に調べ、例えば、順に画素H、画素H、画素L、画素Hのように並んでいる場合には、画素H、画素H、画素H、画素Lのように並べ替えて、Y方向に沿って画素Hと画素Lの2つの領域、または、画素Hのみ、または、画素Lのみになるように近似する。この際の2つの階調値をY方向に順に第1階調値、第2階調値と定義する。すべてのブロックに対して上記近似を実行し、n階調近似画像信号を生成し、これを信号発生回路20に入力する。信号発生回路20は、n階調近似画像信号に応じてXドライバ、Yドライバ、信号供給回路、共通電圧発生回路の出力電圧を制御する信号を発生する。

【0037】

図5は、図1の表示システムの制御動作を説明する図である。図5には、X方向に8列、Y方向に8行の計64画素を取り出して描いてある。4行×4列=16画素を1ブロックとしている。X方向に紙面上で左から第1列、第2列、…と

定義する。Y方向に紙面上で上から、第1行、第2行、…と定義する。

【0038】

まず、選択期間 t_1 において、第1行～第4行のY信号線に20Vを印加し、その他のY信号線に0Vを印加する。図5の各マスには、その画素のXY演算回路の出力電圧(V_{in})を書いてある。前述のとおり、 $V_{in} = (V_X + V_Y) / 2$ である。図5の例では、第1列に $V_X = 4V$ が、第1行に $V_Y = 20V$ が印加されており、 $V_{in} = (4 + 20) / 2 = 12V$ となる。 V_X として印加される電圧は、 $-8, -4, 0, 4, 8V$ のいずれかであり、 $V_Y = 20$ の場合、 V_{in} は、かならず6V以上である。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 V_X にかかわらず、0Vである。したがって、スイッチ130のp型MOS-TFT131は、導通状態であり、画素電極140に液晶駆動電圧VLCDが書き込まれる。

【0039】

すなわち、 t_1 の期間に第1行～第4行の画素すべての画素電極に、第1階調値に応じたVLCDが書き込まれる。ここで、同1ブロックのVLCDは、同一であるが、他のブロックのVLCDは、異なる電圧値である。すなわち、ブロックごとに第1階調値は、異なる。

【0040】

一方、第5行～第8行の V_Y は、0Vであるので、 V_{in} の値は、 V_X の値にかかわらず、4V以下となる。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 V_X にかかわらず、12Vである。したがって、スイッチ130のp型MOS-TFT131は、非導通状態であり、画素電極140の電圧は、変化せずに保持される。

【0041】

次に、選択期間 t_2 では、第1ブロック群の V_Y は、上から順に4, 8, 12, 16Vとなり、第2ブロック群の V_Y は、20Vになる。図5には示していないが、その他の行の V_Y は、すべて0Vである。X信号線31には、n階調近似画像信号に応じて電圧を印加する。

【0042】

すなわち、第 1 行の画素が第 1 階調値で、第 2 行～第 4 行の画素が第 2 階調値である列には、 $V_X = 4 \text{ V}$ を印加する。第 1 行～第 2 行の画素が第 1 階調値で、第 3 行～第 4 行の画素が第 2 階調値の列には、 $V_X = 0 \text{ V}$ を印加する。第 1 行～第 3 行の画素が第 1 階調値で、第 4 行の画素が第 2 階調値の列には、 $V_X = -4 \text{ V}$ を印加する。第 1 行～第 4 行の画素すべてが第 1 階調値の列には、 $V_X = -8 \text{ V}$ を印加する。第 1 行～第 4 行の画素すべてが第 2 階調値の列には、 $V_X = 8 \text{ V}$ を印加する。

【0 0 4 3】

図 5 (b) の第 1 列は、第 1 行～第 2 行の画素が第 1 階調値で、第 3 行～第 4 行の画素が第 2 階調である n 階調近似信号が送られてきている場合で、第 1 列の V_X は、これに応じて 0 V になっている。図 5 でハッチングをしたマスは、この期間に画素電極に液晶駆動電圧が書き込まれる画素である。本実施形態 1 では、第 1 行～第 4 行に対応するブロックの第 2 階調値は、第 5 行～第 8 行に対応するブロックの第 1 階調値を同じ値になる。

【0 0 4 4】

以上のように、まず、第 1 の期間に第 1 行～第 4 行に対応するブロックすべての画素電極に第 1 階調値に対応した液晶駆動電圧を書き込む。続く第 2 の期間に、第 2 階調値となる画素の画素電極のみを第 2 階調値に応じた液晶駆動電圧に書き換えることによって、ブロック内の画素の画素電極に n 階調近似信号演算回路で生成した n 階調近似画像信号に対応した液晶駆動電圧を書き込むことが可能である。

【0 0 4 5】

他の行のブロックに液晶駆動電圧を書き込んでいる間は、 $V_Y = 0 \text{ V}$ であり、スイッチの p 型 MOS-TFT は、非導通状態であるので書き込まれた液晶駆動電圧は、再びそのブロックが選択されるまで保持される。上記の動作を順次繰り返し、すべてのブロックの画素電極に n 階調近似信号に対応した液晶駆動電圧を書き込んでいく。

【0 0 4 6】

図 6 は、図 1 の表示システムの制御動作を示すタイミングチャートである。 V

LCDは、第1列～第4列に対応するブロックに共通な液晶駆動電圧である。CLKは、XY演算回路のクロック信号である。VY(1)～VY(8)は、それぞれ第1行から第8行のY信号線41の電圧VYである。Vin(1,1)～Vin(1,8)は、それぞれ、第1列、第1行の画素から第1列、第8行の画素の信号比較器120の入力電圧Vinである。VPX(1,1)～VPX(1,8)は、それぞれ、第1列、第1行の画素から第1列、第8行の画素の画素電極140の電圧である。VPX(1,1)～VPX(1,8)において、破線部は、p型MOS-TFT131が非導通状態で、画素電極の電圧が保持されている状態を示す。

【0047】

選択期間t1において、VLCD=Va, VX(1)=4V, CLK=12Vである。VY(1)～VY(4)=20Vであるので、Vin(1,1)～Vin(1,4)=(4+20)/2=12Vで、すべて6V以上であるため、p型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧VLCD=Vaが書き込まれ、VPX(1,1)=VPX(1,2)=VPX(1,3)=VPX(1,4)=Vaとなる。VY(5)～VY(8)=0Vであるので、Vin(1,5)～Vin(1,8)=(4+0)/2=2Vで、すべて4V以下であるため、p型MOS-TFT131は、非導通状態になり、画素電極140の電位VPX(1,5)～VPX(1,8)は、変化せずに保持される。

【0048】

続く選択期間t2において、VLCD=Vb, VX(1)=0V, CLK=12Vである。VY(1)=4V, VY(2)=8V, VY(3)=12V, VY(4)=16Vであるので、Vin=(VX+VY)/2より、Vin(1,1)=2V, Vin(1,2)=4V, Vin(1,3)=6V, Vin(1,4)=8Vとなる。Vinが6V以上の画素のp型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧VLCD=Vbが書き込まれるため、VPX(1,3)=VPX(1,4)=Vbとなる。

【0049】

Vinが4V以下の画素のp型MOS-TFT131は、非導通状態になり、画素電極140には、期間t1で書き込まれた液晶駆動電圧Vaが保持されるため、VPX(1,1)=VPX(1,2)=Vaとなる。VY(5)～VY(8)=20Vである

ので、 $V_{in}(1,5) \sim V_{in}(1,8) = (0 + 20) / 2 = 10 \text{ V}$ で、すべて6 V以上であるため、p型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧 $V_{LCD} = V_b$ が書き込まれ、 $V_{PX}(1,5) = V_{PX}(1,6) = V_{PX}(1,7) = V_{PX}(1,8) = V_b$ となる。

【0050】

続く選択期間 t_3 において、 $V_{LCD} = V_c$ 、 $V_X(1) = -4 \text{ V}$ 、 $CLK = 12 \text{ V}$ である。 $V_Y(1) = V_Y(2) = V_Y(3) = V_Y(4) = 0 \text{ V}$ であるので、 $V_{in} = (V_X + V_Y) / 2$ より、 $V_{in}(1,1) = V_{in}(1,2) = V_{in}(1,3) = V_{in}(1,4) = -2 \text{ V}$ となる。 V_{in} が4 V以下であるので、画素のp型MOS-TFT131は、非導通状態になり、画素電極140の電圧は、保持され、 $V_{PX}(1,1) = V_{PX}(1,2) = V_a$ 、 $V_{PX}(1,3) = V_{PX}(1,4) = V_b$ である。 $V_Y(5) = 4 \text{ V}$ 、 $V_Y(6) = 8 \text{ V}$ 、 $V_Y(7) = 12 \text{ V}$ 、 $V_Y(8) = 16 \text{ V}$ であるので、 $V_{in} = (V_X + V_Y) / 2$ より、 $V_{in}(1,5) = 0 \text{ V}$ 、 $V_{in}(1,6) = 2 \text{ V}$ 、 $V_{in}(1,7) = 4 \text{ V}$ 、 $V_{in}(1,8) = 6 \text{ V}$ となる。

【0051】

V_{in} が6 V以上の画素のp型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧 $V_{LCD} = V_b$ が書き込まれるため、 $V_{PX}(1,8) = V_c$ となる。 V_{in} が4 V以下の画素のp型MOS-TFT131は、非導通状態になり、画素電極140には、期間 t_2 で書き込まれた液晶駆動電圧 V_b が保持されるため、 $V_{PX}(1,5) = V_{PX}(1,6) = V_{PX}(1,7) = V_{PX}(1,8) = V_b$ となる。

【0052】

以上を繰り返して、順次第9行～第12行のブロック、第13行から第16行のブロック…の画素の画素電極140にn階調近似演算回路10で生成したn階調近似画像信号に応じた液晶駆動電圧 V_{LCD} を書き込んでいく。

【0053】

すべての画素電極の書き込みを終えた後、Reset期間を設け、この期間にXY演算回路の出力端子をリセットし、安定に動作させる。Reset期間において、すべての $V_X = V_Y = 4 \text{ V}$ とし、 $CLK = 0 \text{ V}$ にする。このとき、p型MO

S-TFT 113は、導通状態となり、出力端子の電圧は、VXおよびVYと等しい電圧4Vとなる。このような機構を設けることによって、何らかの原因により、フローティングである出力端子に不要な電荷が貯まっても、キャンセルでき、安定な動作を得ることができる。

【0054】

以上の動作を1フレーム期間内に終え、このフレーム期間を繰り返し、画像を表示する。

【0055】

このように、2回の選択期間で4行からなる1ブロックの画素の画素電極に液晶駆動電圧を書き込むことが可能であり、従来技術の4行を4回の選択期間で書き込む場合に比べ、選択期間の回数は、半分になる。

【0056】

1フレーム期間が同じ場合には、本実施形態1を用いると、選択期間の長さを2倍にできる。さらに、本実施形態1の場合は、第2の選択期間と、次の4行からなるブロックの第1の選択期間とが同じであるため、さらに選択時間は、2倍になり、合計4倍の選択時間を確保できる。これは、従来技術と同じ信号電極を用いた場合に、従来技術に比べて4倍の行数を表示することが可能であることを意味する。

【0057】

【実施形態2】

図7は、本発明による表示システムの実施形態2の画素部100の詳細な回路構成を示す回路図である。表示システムの全体構成は、図1と同じであるが、XY演算回路110が、実施形態1の図3に示した構成とは異なる。本実施形態2のXY演算回路110は、p型MOS-TFT 116とコンデンサ117からなる。p型MOS-TFT 116のドレイン端子は、X信号線31に接続され、ソース端子は、コンデンサ117に接続されている。コンデンサ117のもう一方の端子は、Y信号線41に接続されている。

【0058】

図7に示したXY演算回路110の動作について説明する。まず、第1の選択

期間に、 $VY=10V$ とした状態で、CLKをローレベル(4V)としてp型MOS-TFT116を導通させて、X信号線の電圧VXをXY演算回路110の出力端子115すなわち信号比較器の入力端子に書き込む。続く第2の選択期間にCLKをハイレベル(16V)として、p型MOS-TFT116を非導通にした状態で、VYの電圧を変化させる。このときの電圧の変化分を ΔVY で表すと、出力端子115の電圧は、第1の選択期間に書き込んだ電圧VXに対して $VX + \Delta VY$ となる。すなわち、出力端子115には、VXとVYの演算結果が出力される。

【0059】

n階調近似演算回路10には、各画素の階調情報を持った画像信号が入力される。n階調近似演算回路110では、画素を4行×4列=16個ごとのブロックに分割し、ブロックごとに画素の階調を2値に近似してn階調近似画像信号を生成し、信号発生回路20に inputsする。この近似は、実施形態1と同様にして実行する。信号発生回路20は、n階調近似画像信号に応じてXドライバ、Yドライバ、信号供給回路、共通電圧発生回路の出力電圧を制御する信号を発生する。

【0060】

図8は、図7の表示システムの制御動作を説明する図である。図8には、X方向に8列、Y方向に8行の計64画素を取り出して描いてある。4行×4列=16画素を1ブロックとしている。X方向に紙面上で左から第1列、第2列、…と定義する。Y方向に紙面上で上から、第1行、第2行、…と定義する。

【0061】

まず、選択期間 t_1 において、第1行～第4行のY信号線に10Vを印加し、その他のY信号線に0Vを印加する。図8の各マスには、その画素のXY演算回路の出力電圧(V_{in})を書いている。選択期間 t_1 では、第1行～第4行のXY演算回路のCLKは、ローレベル(4V)であり、p型MOS-TFT116は、導通状態にあるので、第1行～第4行の画素の V_{in} は、VXに等しい。図8の例では、第1列に $VX=10V$ が、第1行に $VY=10V$ が印加されており、 $V_{in}(1,1)=VX(1)=10V$ である。X信号線31には、第1行～第4行の画素からなるブロックのn階調近似画像信号に応じて、電圧を印加する。

【0062】

すなわち、第1行の画素が第1階調値で、第2行～第4行の画素が第2階調値である列には、 $V_X = 12\text{ V}$ を印加する。第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調値の列には、 $V_X = 10\text{ V}$ を印加する。第1行～第3行の画素が第1階調値で、第4行の画素が第2階調値の列には、 $V_X = 8\text{ V}$ を印加する。第1行～第4行の画素すべてが第1階調値の列には、 $V_X = 6\text{ V}$ を印加する。第1行～第4行の画素すべてが第2階調値の列には、 $V_X = 14\text{ V}$ を印加する。

【0063】

以上のように、 V_X として印加される電圧は、6, 8, 10, 12, 14 Vのいずれかであり、p型MOS-TFT 116が導通状態にある選択期間 t_1 における第1行～第4行の画素の $V_{in} = V_X$ は、かならず6 V以上である。

【0064】

信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 V_X にかかわらず、0 Vである。したがって、スイッチ130のp型MOS-TFT 131は、導通状態であり、画素電極140に液晶駆動電圧VLCDが書き込まれる。すなわち、 t_1 の期間に第1行～第4行の画素すべての画素電極に第1階調値に応じたVLCDが書き込まれる。ここで、同1ブロックのVLCDは、同一であるが、他のブロックのVLCDは、異なる電圧値である。すなわち、ブロックごとに第1階調値は、異なる。

【0065】

一方、第5行～第8行の V_Y は、0 Vであり、後で述べるようにp型MOS-TFT 116は、非導通状態なので、 V_{in} の値は、変化せず4 V以下の電圧を保持する。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、12 Vである。したがって、スイッチ130のp型MOS-TFT 131は、非導通状態であり、画素電極140の電圧は、変化せずに保持される。

【0066】

次に、 t_2 の期間では、第1行～第4行の V_Y は、上から順に2, 4, 6, 8 Vとなり、第5行～第8行の V_Y は、10 Vになる。図8には示していないが、その他の行の V_Y は、すべて0 Vである。X信号線31には、第5行～第8行の画

素からなるブロックの n 階調近似画像信号に応じて電圧を印加する。

【0067】

すなわち、第1行の画素が第1階調値で、第2行～第4行の画素が第2階調値である列には、 $VX=12V$ を印加する。第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調値の列には、 $VX=10V$ を印加する。第1行～第3行の画素が第1階調値で、第4行の画素が第2階調値の列には、 $VX=8V$ を印加する。第1行～第4行の画素すべてが第1階調値の列には、 $VX=6V$ を印加する。第1行～第4行の画素すべてが第2階調値の列には、 $VX=14V$ を印加する。

【0068】

先述のように、第1行～第4行の V_{in} は、選択期間 t_1 の VX である $VX(t_1)$ と、選択期間 t_1 の VY である $VY(t_1)$ と選択期間 t_2 の VY である $VY(t_2)$ の差 $\Delta VY = VY(t_2) - VY(t_1)$ の和となる。すなわち、 $V_{in}(t_2) = VX(t_1) + VY(t_2) - VY(t_1) = VX(t_1) + VY(t_2) - 10$ となる。

【0069】

図8(b)の第1列は、第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調である n 階調近似信号が送られてきている場合で、第1列の $VX(t_1)$ は、これに応じて $10V$ になっている。第5行～第8行の画素の XY 演算回路110の CLK は、ローレベル($4V$)であり、 p 型MOS-TFT116は、導通状態なので、 $V_{in} = VX$ となる。 VX として印加される電圧は、 $6, 8, 10, 12, 14V$ のいずれかであり、 p 型MOS-TFT116が導通状態にある選択期間 t_1 における第1行～第4行の画素の $V_{in} = VX$ は、かならず $6V$ 以上である。

【0070】

信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 VX にかかわらず、 $0V$ である。したがって、スイッチ130の p 型MOS-TFT131は、導通状態であり、画素電極140に液晶駆動電圧 $VLCD$ が書き込まれる。すなわち、 t_2 の期間に第5行～第8行の画素すべての画素電極に第1行～第4行のブロックの第2階調値に応じた $VLCD$ が書き込まれる。

【 0 0 7 1 】

図 8 でハッチングをしたマスは、この期間に画素電極に液晶駆動電圧が書き込まれる画素である。本実施例では、第 1 行～第 4 行に対応するブロックの第 2 階調値は、第 5 行～第 8 行に対応するブロックの第 1 階調値を同じ値になる。以上のように、選択期間 t_1 に第 1 行～第 4 行に対応するブロックすべての画素電極に、第 1 行～第 4 行に対応するブロックの第 1 階調値に対応した液晶駆動電圧を書き込む。

【 0 0 7 2 】

続く選択期間 t_2 に、第 1 行～第 4 行に対応するブロックの第 2 階調値となる画素の画素電極の電圧を第 2 階調値に応じた液晶駆動電圧に書き換えると同時に、第 5 行～第 8 行のすべての画素電極に、第 1 行～第 4 行に対応するブロックの第 2 階調値に対応する液晶駆動電圧を書き込む。

【 0 0 7 3 】

以上を繰り返すことによって、ブロック内の画素の画素電極に n 階調近似信号演算回路で生成した n 階調近似画像信号に対応した液晶駆動電圧を書き込むことが可能である。他の行のブロックに液晶駆動電圧を書き込んでいる間は、 $V_Y = 0V$ であり、スイッチの p 型 MOS-TFT は、非導通状態であるので、書き込まれた液晶駆動電圧は、再びそのブロックが選択されるまで保持される。上記の動作を順次繰り返し、すべてのブロックの画素電極に n 階調近似信号に対応した液晶駆動電圧を書き込んでいく。

【 0 0 7 4 】

図 9 は、図 7 の表示システムの制御動作を示すタイミングチャートである。 V_{LCD} は、第 1 列～第 4 列に対応するブロックに共通な液晶駆動電圧である。 $CLK(1-4)$ は、第 1 行～第 4 行の XY 演算回路のクロック信号である。 $CLK(5-8)$ は、第 5 行～第 8 行の XY 演算回路のクロック信号である。 $V_Y(1) \sim V_Y(8)$ は、それぞれ第 1 行から第 8 行の Y 信号線 41 の電圧 V_Y である。 $V_{in}(1,1) \sim V_{in}(1,8)$ は、それぞれ、第 1 列、第 1 行の画素から第 1 列、第 8 行の画素の信号比較器 120 の入力電圧 V_{in} である。 $V_{PX}(1,1) \sim V_{PX}(1,8)$ は、それぞれ、第 1 列、第 1 行の画素から第 1 列、第 8 行の画素の画素電極 140

の電圧である。 $V_{PX}(1,1) \sim V_{PX}(1,8)$ において、破線部は、p型MOS-TFT131が非導通状態で、画素電極の電圧が保持されている状態を示す。

【0075】

選択期間 t_1 において、 $VLCD=Va$ 、 $VX(1)=10V$ 、 $CLK(1-4)=4V$ である。 $CLK(5-8)=16V$ である。 $VY(1) \sim VY(4)=10V$ である。 $CLK(1-4)=4V$ なので、p型MOS-TFT116は、導通状態であり、 $Vin(1,1) \sim Vin(1,4)=VX(1)=10V$ で、すべて6V以上であるため、p型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧 $VLCD=Va$ が書き込まれ、 $V_{PX}(1,1)=V_{PX}(1,2)=V_{PX}(1,3)=V_{PX}(1,4)=Va$ となる。 $CLK(5-8)=16V$ で、 $VY(5) \sim VY(8)=0V$ であるので、 $Vin(1,5) \sim Vin(1,8)$ は、以前に書き込まれた4V以下の電圧を保持する。したがって、p型MOS-TFT131は、非導通状態であり、画素電極140の電位 $V_{PX}(1,5) \sim V_{PX}(1,8)$ は、変化せずに保持される。

【0076】

続く選択期間 t_2 において、 $VLCD=Vb$ 、 $VX(1)=8V$ 、 $CLK(1-4)=16V$ 、 $CLK(5-8)=4V$ である。 $VY(1)=2V$ 、 $VY(2)=4V$ 、 $VY(3)=6V$ 、 $VY(4)=8V$ であるので、 $Vin(t_2)=(VX(t_1)+VY(t_2)-10)$ より、 $Vin(1,1)=2V$ 、 $Vin(1,2)=4V$ 、 $Vin(1,3)=6V$ 、 $Vin(1,4)=8V$ となる。 Vin が6V以上の画素のp型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧 $VLCD=Vb$ が書き込まれるため、 $V_{PX}(1,3)=V_{PX}(1,4)=Vb$ となる。 Vin が4V以下の画素のp型MOS-TFT131は、非導通状態になり、画素電極140には、期間 t_1 で書き込まれた液晶駆動電圧 Va が保持されるため、 $V_{PX}(1,1)=V_{PX}(1,2)=Va$ となる。 $CLK(5-8)=4V$ で、 $VY(5) \sim VY(8)=10V$ であるので、 $Vin(1,5) \sim Vin(1,8)=VX=8V$ で、6V以上であるため、p型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧 $VLCD=Vb$ が書き込まれ、 $V_{PX}(1,5)=V_{PX}(1,6)=V_{PX}(1,7)=V_{PX}(1,8)=Vb$ となる。

【0077】

続く選択期間 t_3 において、 $VLCD = V_c$, $V_X(1) = 1.4V$, $CLK(1-4) = CLK(5-8) = 1.6V$ である。 $V_Y(1) = V_Y(2) = V_Y(3) = V_Y(4) = 0V$ に変化するので、 $V_{in} = (V_X(t_1) + V_Y(t_3) - V_Y(t_1)) = (V_X(t_1) - 1.0)$ より、 $V_{in}(1,1) = V_{in}(1,2) = V_{in}(1,3) = V_{in}(1,4) = 0V$ となる。 V_{in} が $4V$ 以下であるので、画素の p 型 $MOS-TFT$ 131 は、非導通状態になり、画素電極 140 の電圧は、保持され、 $V_{PX}(1,1) = V_{PX}(1,2) = V_a$, $V_{PX}(1,3) = V_{PX}(1,4) = V_b$ である。 $V_Y(5) = 2V$, $V_Y(6) = 4V$, $V_Y(7) = 6V$, $V_Y(8) = 8V$ であるので、 $V_{in}(t_3) = (V_X(t_2) + V_Y(t_2) - V_Y(t_3)) = (V_X(t_2) + V_Y(t_2) - 1.0)$ より、 $V_{in}(1,5) = 0V$, $V_{in}(1,6) = 2V$, $V_{in}(1,7) = 4V$, $V_{in}(1,8) = 6V$ となる。 V_{in} が $6V$ 以上の画素の p 型 $MOS-TFT$ 131 は、導通状態になり、画素電極 140 には、液晶駆動電圧 $VLCD = V_b$ が書き込まれるため、 $V_{PX}(1,8) = V_c$ となる。 V_{in} が $4V$ 以下の画素の p 型 $MOS-TFT$ 131 は、非導通状態になり、画素電極 140 には、期間 t_2 で書き込まれた液晶駆動電圧 V_b が保持されるため、 $V_{PX}(1,5) = V_{PX}(1,6) = V_{PX}(1,7) = V_{PX}(1,8) = V_b$ となる。

【0078】

以上を繰り返して、順次第 9 行～第 12 行のブロック、第 13 行から第 16 行のブロック…の画素の画素電極 140 に n 階調近似演算回路 10 で生成した n 階調近似画像信号に応じた液晶駆動電圧 $VLCD$ を書き込んでいく。

【0079】

以上の動作を 1 フレーム期間内に終え、このフレーム期間を繰り返し、画像を表示する。このように、2 回の選択期間で 4 行からなる 1 ブロックの画素の画素電極に液晶駆動電圧を書き込むことが可能であり、従来技術の 4 行を 4 回の選択期間で書き込む場合に比べ、選択期間の回数は、半分にになる。1 フレーム期間が同じ場合には、本実施形態 2 を用いると、選択期間の長さを 2 倍にできる。

【0080】

さらに、本実施形態 2 の場合には、第 2 の選択期間と、次の 4 行からなるブロックの第 1 の選択期間が同じであるため、さらに選択時間は、2 倍になり、合計 4 倍の選択時間を確保できる。これは、従来技術と同じ信号電極を用いた場合に

、従来技術に比べて4倍の行数を表示することが可能であることを意味する。

【0081】

本実施形態2では、書き込みに際してXY演算回路のp型MOS-TFTが導通状態となり、XY演算回路の出力端子は、X信号線31に接続されるため、実施形態1で用いたようなフローティング電位をキャンセルするための機構は、不要である。

【0082】

また、同じ演算結果Vinの電圧値を生成するためのVXおよびVYの電圧値は、小さな値となり、低い耐圧のXドライバ、Yドライバを用いることができる。

【0083】

【実施形態3】

本発明の実施形態3の全体構成は、図1と同じであり、画素部の詳細な回路構成は、図7に示した実施形態2と同じである。

【0084】

実施形態2では、第1行～第4行に対応するブロックの第2階調値は、第5行～第8行に対応するブロックの第1階調値を同じ値になったが、実施形態3においては、第1行～第4行に対応するブロックの第2階調値と、第5行～第8行に対応するブロックの第1階調値とを異なる値にできる。したがって、近似に用いる階調値の数が実施形態2に比べて2倍になるので、もとの画像を高い精度で再現することが可能である。

【0085】

本実施形態3の動作を詳細に説明する。図1に示すn階調近似演算回路10には、各画素の階調情報を持った画像信号が入力される。n階調近似演算回路110では、画素を4行×4列＝16個ごとのブロックに分割し、ブロックごとに画素の階調を2値に近似してn階調近似画像信号を生成してこれを信号発生回路20に入力する。この近似は、実施形態1と同様にして実行する。信号発生回路20は、n階調近似画像信号に応じてXドライバ、Yドライバ、信号供給回路、共通電圧発生回路の出力電圧を制御する信号を発生する。

【0086】

図10は、実施形態3の表示システムの制御動作を説明する図である。図10には、X方向に8列、Y方向に8行の計64画素を取り出して描いてある。4行×4列=16画素を1ブロックとしている。X方向に紙面上で左から第1列、第2列、…と定義する。Y方向に紙面上で上から、第1行、第2行、…と定義する。

【0087】

まず、選択期間 t_1 において、第1行～第4行のY信号線に10Vを印加し、その他のY信号線に0Vを印加する。図10の各マスには、その画素のXY演算回路の出力電圧(V_{in})を書いてある。選択期間 t_1 では、第1行～第4行のXY演算回路のCLKは、ローレベル(4V)であり、図7に示すp型MOS-TFT116は、導通状態にあるので、第1行～第4行の画素の V_{in} は、 V_X に等しい。

【0088】

図10の例では、第1列に $V_X=10V$ が、第1行に $V_Y=10V$ が印加されており、 $V_{in}(1,1)=V_X(1)=10V$ である。X信号線31には、第1行～第4行の画素からなるブロックのn階調近似画像信号に応じて電圧を印加する。

【0089】

すなわち、第1行の画素が第1階調値で、第2行～第4行の画素が第2階調値である列には、 $V_X=12V$ を印加する。第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調値の列には、 $V_X=10V$ を印加する。第1行～第3行の画素が第1階調値で、第4行の画素が第2階調値の列には、 $V_X=8V$ を印加する。第1行～第4行の画素すべてが第1階調値の列には、 $V_X=6V$ を印加する。第1行～第4行の画素すべてが第2階調値の列には、 $V_X=14V$ を印加する。

【0090】

以上のように、 V_X として印加される電圧は、6, 8, 10, 12, 14Vのいずれかであり、p型MOS-TFT116が導通状態にある選択期間 t_1 における第1行～第4行の画素の $V_{in}=V_X$ は、かならず6V以上である。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 V_X にかかわら

ず、0 Vである。したがって、スイッチ130のp型MOS-TFT131は、導通状態であり、画素電極140に液晶駆動電圧VLCDが書き込まれる。すなわち、 t_1 の期間に第1行～第4行の画素すべての画素電極に第1階調値に応じたVLCDが書き込まれる。ここで、同1ブロックのVLCDは、同一であるが、他のブロックのVLCDは、異なる電圧値である。すなわち、ブロックごとに第1階調値は、異なる。

【0091】

一方、第5行～第8行のVYは、0 Vであり、後で述べるようにp型MOS-TFT116は、非導通状態なので、 V_{in} の値は、変化せず4 V以下の電圧を保持する。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、12 Vである。したがって、スイッチ130のp型MOS-TFT131は、非導通状態であり、画素電極140の電圧は、変化せずに保持される。

【0092】

次に、 t_2 の期間では、第1行～第4行のVYは、上から順に2, 4, 6, 8 Vとなる。第5行～第8行のVYは、0 Vのままである。図10には示していないが、その他の行のVYは、すべて0 Vである。また、第1行～第4行のCLKは、ハイレベル(16 V)になり、p型MOS-TFT116は、非導通状態となる。先述のように、第1行～第4行の V_{in} は、選択期間 t_1 のVXである $VX(t_1)$ と、選択期間 t_1 のVYである $VY(t_1)$ と選択期間 t_2 のVYである $VY(t_2)$ の差 $\Delta VY = VY(t_2) - VY(t_1)$ の和となる。すなわち、 $V_{in}(t_2) = VX(t_1) + VY(t_2) - VY(t_1) = VX(t_1) + VY(t_2) - 10$ となる。

【0093】

図10(b)の第1列は、第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調であるn階調近似信号が送られてきている場合で、第1列の $VX(t_1)$ は、これに応じて10 Vになっている。第5行～第8行の画素のXY演算回路110のCLKは、ハイレベル(16 V)であり、p型MOS-TFT116は、非導通状態なので、 V_{in} は、4 V以下のまま変化しない。したがって、スイッチ130のp型MOS-TFT131は、非導通状態であり、画素電極140の電圧は、保持される。

【 0 0 9 4 】

図 1 0 でハッチングをしたマスは、この期間に画素電極に液晶駆動電圧が書き込まれる画素である。以上のように、選択期間 t_1 に第 1 行～第 4 行に対応するブロックすべての画素電極に、第 1 行～第 4 行に対応するブロックの第 1 階調値に対応した液晶駆動電圧を書き込む。

【 0 0 9 5 】

続く選択期間 t_2 に、第 1 行～第 4 行に対応するブロックの第 2 階調値となる画素の画素電極の電圧を第 2 階調値に応じた液晶駆動電圧に書き換える。

【 0 0 9 6 】

以上の t_1 , t_2 の動作を t_3 , t_4 の期間に第 5 行～第 8 行に対して、 t_5 , t_6 の期間に第 9 行～第 1 2 行に対して、順次繰り返すことによって、ブロック内の画素の画素電極に n 階調近似信号演算回路で生成した n 階調近似画像信号に対応した液晶駆動電圧を書き込むことが可能である。他の行のブロックに液晶駆動電圧を書き込んでいる間は、 $V_Y = 0 \text{ V}$ であり、スイッチの p 型 MOS-TFT は、非導通状態であるので書き込まれた液晶駆動電圧は、再びそのブロックが選択されるまで保持される。

【 0 0 9 7 】

図 1 1 は、実施形態 3 の表示システムの制御動作を示すタイミングチャートである。VLCD は、第 1 列～第 4 列に対応するブロックに共通な液晶駆動電圧である。CLK(1-4) は、第 1 行～第 4 行の XY 演算回路のクロック信号である。CLK(5-8) は、第 5 行～第 8 行の XY 演算回路のクロック信号である。 $V_Y(1) \sim V_Y(8)$ は、それぞれ第 1 行から第 8 行の Y 信号線 4 1 の電圧 V_Y である。 $V_{in}(1,1) \sim V_{in}(1,8)$ は、それぞれ、第 1 列、第 1 行の画素から第 1 列、第 8 行の画素の信号比較器 1 2 0 の入力電圧 V_{in} である。 $V_{PX}(1,1) \sim V_{PX}(1,8)$ は、それぞれ、第 1 列、第 1 行の画素から第 1 列、第 8 行の画素の画素電極 1 4 0 の電圧である。 $V_{PX}(1,1) \sim V_{PX}(1,8)$ において、破線部は、 p 型 MOS-TFT 1 3 1 が非導通状態で、画素電極の電圧が保持されている状態を示す。

【 0 0 9 8 】

選択期間 t_1 において、 $V_{LCD}=V_a$ 、 $V_X(1)=10\text{V}$ 、 $CLK(1-4)=4\text{V}$ である。 $CLK(5-8)=16\text{V}$ である。 $V_Y(1)\sim V_Y(4)=10\text{V}$ である。 $CLK(1-4)=4\text{V}$ なので、 p 型 MOS-TFT 116 は、導通状態であり、 $V_{in}(1,1)\sim V_{in}(1,4)=V_X(1)=10\text{V}$ で、すべて 6V 以上であるため、 p 型 MOS-TFT 131 は、導通状態になり、画素電極 140 には、液晶駆動電圧 $V_{LCD}=V_a$ が書き込まれ、 $V_{PX}(1,1)=V_{PX}(1,2)=V_{PX}(1,3)=V_{PX}(1,4)=V_a$ となる。 $CLK(5-8)=16$ で、 $V_Y(5)\sim V_Y(8)=0\text{V}$ であるので、 $V_{in}(1,5)\sim V_{in}(1,8)$ は、以前に書き込まれた 4V 以下の電圧を保持する。したがって、 p 型 MOS-TFT 131 は、非導通状態であり、画素電極 140 の電位 $V_{PX}(1,5)\sim V_{PX}(1,8)$ は、変化せずに保持される。

【0099】

続く選択期間 t_2 において、 $V_{LCD}=V_b$ 、 $V_X(1)=10\text{V}$ 、 $CLK(1-4)=16\text{V}$ 、 $CLK(5-8)=16\text{V}$ である。 $V_Y(1)=2\text{V}$ 、 $V_Y(2)=4\text{V}$ 、 $V_Y(3)=6\text{V}$ 、 $V_Y(4)=8\text{V}$ であるので、 $V_{in}(t_2)=(V_X(t_1)+V_Y(t_2)-10)$ より、 $V_{in}(1,1)=2\text{V}$ 、 $V_{in}(1,2)=4\text{V}$ 、 $V_{in}(1,3)=6\text{V}$ 、 $V_{in}(1,4)=8\text{V}$ となる。 V_{in} が 6V 以上の画素の p 型 MOS-TFT 131 は、導通状態になり、画素電極 140 には、液晶駆動電圧 $V_{LCD}=V_b$ が書き込まれるため、 $V_{PX}(1,3)=V_{PX}(1,4)=V_b$ となる。 V_{in} が 4V 以下の画素の p 型 MOS-TFT 131 は、非導通状態になり、画素電極 140 には、期間 t_1 で書き込まれた液晶駆動電圧 V_a が保持されるため、 $V_{PX}(1,1)=V_{PX}(1,2)=V_a$ となる。 $CLK(5-8)=16\text{V}$ で、 $V_Y(5)\sim V_Y(8)=0\text{V}$ であるので、 $V_{in}(1,5)\sim V_{in}(1,8)\leq 4\text{V}$ を保持するため、 p 型 MOS-TFT 131 は、非導通状態であり、画素電極 140 の電圧は、保持される。

【0100】

続く選択期間 t_3 において、 $V_{LCD}=V_c$ 、 $V_X(1)=8\text{V}$ 、 $CLK(1-4)=16\text{V}$ 、 $CLK(5-8)=4\text{V}$ である。 $V_Y(1)=V_Y(2)=V_Y(3)=V_Y(4)=0\text{V}$ に変化するので、 $V_{in}=(V_X(t_1)+V_Y(t_3)-V_Y(t_1))=(V_X(t_1)-10)$ より、 $V_{in}(1,1)=V_{in}(1,2)=V_{in}(1,3)=V_{in}(1,4)=0\text{V}$ となる。 V_{in} が 4V 以下であるので、画素の p 型 MOS-TFT 131 は、非導通状態になり

、画素電極 1 4 0 の電圧は、保持され、 $V_{PX}(1,1)=V_{PX}(1,2)=V_a$, $V_{PX}(1,3)=V_{PX}(1,4)=V_b$ である。 $V_Y(5)=V_Y(6)=V_Y(7)=V_Y(8)=10V$ であるので、 $V_{in}(t3)=V_X(t3)$ より、 $V_{in}(1,5)=V_{in}(1,6)=V_{in}(1,7)=V_{in}(1,8)=8V$ となる。 V_{in} が 6 V 以上の画素の p 型 MOS-TFT 1 3 1 は、導通状態になり、画素電極 1 4 0 には、液晶駆動電圧 $V_{LCD}=V_c$ が書き込まれるため、 $V_{PX}(1,5)=V_{PX}(1,6)=V_{PX}(1,7)=V_{PX}(1,8)=V_c$ となる。以上を繰り返して、順次第 9 行～第 1 2 行のブロック、第 1 3 行から第 1 6 行のブロック…の画素の画素電極 1 4 0 に n 階調近似演算回路 1 0 で生成した n 階調近似画像信号に応じた液晶駆動電圧 V_{LCD} を書き込んでいく。

【0 1 0 1】

以上の動作を 1 フレーム期間内に終え、このフレーム期間を繰り返し、画像を表示する。このように、2 回の選択期間で 4 行からなる 1 ブロックの画素の画素電極に液晶駆動電圧を書き込むことが可能であり、従来技術の 4 行を 4 回の選択期間で書き込む場合に比べ、選択期間の回数は、半分になる。1 フレーム期間が同じ場合には、本実施形態 3 を用いると、選択期間の長さを 2 倍にできる。

【0 1 0 2】

【実施形態 4】

図 1 2 は、本発明による表示システムの実施形態 4 の全体構成を示すブロック図である。本実施形態 4 は、4 行×4 列からなるブロックに対して、2 本の液晶駆動電圧線 6 2 および 6 3 が接続されていることが、実施形態 1～3 の全体構成を示す図 1 と異なる。画素部の詳細な回路に関しては、実施形態 2, 3 と同じであり、図 7 に示されている。

【0 1 0 3】

実施形態 3 を用いれば、第 1 行～第 4 行に対応するブロックの第 2 階調値と、第 5 行～第 8 行に対応するブロックの第 1 階調値とを異なる値にできたが、1 選択期間が同一である場合、実施形態 2 に比べて、全画面を書き換えるのに 2 倍の時間を要した。

【0 1 0 4】

実施形態 4 を用いれば、この問題を解決して、第 1 行～第 4 行に対応するブロックの第 2 階調値と、第 5 行～第 8 行に対応するブロックの第 1 階調値を異なる値とし、かつ実施形態 2 と同じ時間で全画面を書き換えることが可能である。

【0105】

本実施形態 4 の動作を詳細に説明する。図 1 2 に示す n 階調近似演算回路 1 0 には、各画素の階調情報を持った画像信号が入力される。 n 階調近似演算回路 1 0 では、画素を 4 行×4 列＝16 個ごとのブロックに分割し、ブロックごとに画素の階調を 2 値に近似して n 階調近似画像信号を生成してこれを信号発生回路 2 0 に入力する。この近似は、実施形態 1 と同様にして実行する。信号発生回路 2 0 は、 n 階調近似画像信号に応じて X ドライバ、Y ドライバ、信号供給回路、共通電圧発生回路の出力電圧を制御する信号を発生する。

【0106】

図 1 3 は、図 1 2 の表示システムの制御動作を説明する図である。図 1 3 には、X 方向に 8 列、Y 方向に 8 行の計 64 画素を取り出して描いてある。4 行×4 列＝16 画素を 1 ブロックとしている。X 方向に紙面上で左から第 1 列、第 2 列、…と定義する。Y 方向に紙面上で上から、第 1 行、第 2 行、…と定義する。

【0107】

まず、選択期間 t_1 において、第 1 行～第 4 行の Y 信号線に 10 V を印加し、その他の Y 信号線に 0 V を印加する。図 1 3 の各マスには、その画素の XY 演算回路の出力電圧 (V_{in}) を書いてある。選択期間 t_1 では、第 1 行～第 4 行の XY 演算回路の CLK は、ローレベル (4 V) であり、p 型 MOS-TFT 116 は、導通状態にあるので、第 1 行～第 4 行の画素の V_{in} は、 V_X に等しい。図 1 3 の例では、第 1 列に $V_X=10$ V が、第 1 行に $V_Y=10$ V が印加されており、 $V_{in}(1,1)=V_X(1)=10$ V である。X 信号線 31 には、第 1 行～第 4 行の画素からなるブロックの n 階調近似画像信号に応じて電圧を印加する。

【0108】

すなわち、第 1 行の画素が第 1 階調値で、第 2 行～第 4 行の画素が第 2 階調値である列には、 $V_X=12$ V を印加する。第 1 行～第 2 行の画素が第 1 階調値で、第 3 行～第 4 行の画素が第 2 階調値の列には、 $V_X=10$ V を印加する。第 1 行～

第 3 行の画素が第 1 階調値で、第 4 行の画素が第 2 階調値の列には、 $V_X = 8 \text{ V}$ を印加する。第 1 行～第 4 行の画素すべてが第 1 階調値の列には、 $V_X = 6 \text{ V}$ を印加する。第 1 行～第 4 行の画素すべてが第 2 階調値の列には、 $V_X = 14 \text{ V}$ を印加する。

【0 1 0 9】

以上のように、 V_X として印加される電圧は、6, 8, 10, 12, 14 V のいずれかであり、p 型 MOS-TFT 116 が導通状態にある選択期間 t_1 における第 1 行～第 4 行の画素の $V_{in} = V_X$ は、かならず 6 V 以上である。信号比較器 120 は、図 3 に示す特性を有するので、この場合の V_{out} は、 V_X にかかわらず、0 V である。したがって、スイッチ 130 の p 型 MOS-TFT 131 は、導通状態であり、画素電極 140 に液晶駆動電圧が書き込まれる。

【0 1 1 0】

すなわち、 t_1 の期間に第 1 行～第 4 行の画素すべての画素電極に第 1 階調値に応じた液晶駆動電圧が書き込まれる。ここで、第 1～第 4 行の画素電極には、液晶駆動電圧線 62 を通して液晶駆動電圧 V_{LCD1} が書き込まれる。後述のように、第 5～第 8 行の画素電極には、別途液晶駆動電圧線 63 を通して液晶駆動電圧 V_{LCD2} が書き込まれる。

【0 1 1 1】

一方、第 5 行～第 8 行の V_Y は、0 V であり、p 型 MOS-TFT 116 は、非導通状態なので、 V_{in} の値は、変化せず 4 V 以下の電圧を保持する。信号比較器 120 は、図 3 に示す特性を有するので、この場合の V_{out} は、12 V である。したがって、スイッチ 130 の p 型 MOS-TFT 131 は、非導通状態であり、画素電極 140 の電圧は、変化せずに保持される。

【0 1 1 2】

次に、 t_2 の期間では、第 1 行～第 4 行の V_Y は、上から順に 2, 4, 6, 8 V となり、第 5 行～第 8 行の V_Y は、10 V になる。図 13 には示していないが、その他の行の V_Y は、すべて 0 V である。X 信号線 31 には、第 5 行～第 8 行の画素からなるブロックの n 階調近似画像信号に応じて電圧を印加する。すなわち、第 1 行の画素が第 1 階調値で、第 2 行～第 4 行の画素が第 2 階調値である列に

は、 $V_X = 12V$ を印加する。第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調値の列には、 $V_X = 10V$ を印加する。第1行～第3行の画素が第1階調値で、第4行の画素が第2階調値の列には、 $V_X = 8V$ を印加する。第1行～第4行の画素すべてが第1階調値の列には、 $V_X = 6V$ を印加する。第1行～第4行の画素すべてが第2階調値の列には、 $V_X = 14V$ を印加する。先述のように、第1行～第4行の V_{in} は、選択期間 t_1 の V_X である $V_X(t_1)$ と、選択期間 t_1 の V_Y である $V_Y(t_1)$ と選択期間 t_2 の V_Y である $V_Y(t_2)$ の差 $\Delta V_Y = V_Y(t_2) - V_Y(t_1)$ の和となる。すなわち、 $V_{in}(t_2) = V_X(t_1) + V_Y(t_2) - V_Y(t_1) = V_X(t_1) + V_Y(t_2) - 10$ となる。

【0113】

図13(b)の第1列は、第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調である n 階調近似信号が送られてきている場合で、第1列の $V_X(t_1)$ は、これに応じて $10V$ になっている。第5行～第8行の画素の XY 演算回路110の CLK は、ローレベル($4V$)であり、 p 型 $MOS-TFT$ 116は、導通状態なので、 $V_{in} = V_X$ となる。 V_X として印加される電圧は、 $6, 8, 10, 12, 14V$ のいずれかであり、 p 型 $MOS-TFT$ 116が導通状態にある選択期間 t_1 における第1行～第4行の画素の $V_{in} = V_X$ は、かならず $6V$ 以上である。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 V_X にかかわらず、 $0V$ である。

【0114】

したがって、スイッチ130の p 型 $MOS-TFT$ 131は、導通状態であり、画素電極140に液晶駆動電圧 V_{LCD} が書き込まれる。すなわち、 t_2 の期間に第5行～第8行の画素すべての画素電極に第5行～第8行のブロックの第1階調値に応じた液晶駆動電圧が書き込まれる。ここで、第5～第8行の画素電極には、液晶駆動電圧線63を通して液晶駆動電圧 V_{LCD2} が書き込まれる。

【0115】

図13でハッチングをしたマスは、この期間に画素電極に液晶駆動電圧が書き込まれる画素である。本実施形態4では、第1行～第4行に対応するブロックの第2階調値は、液晶駆動電圧線62を通して、第5行～第8行に対応するブロッ

クの第1階調値は、液晶駆動電圧線63を通して書き込まれるので、異なる値になる。

【0116】

以上のように、選択期間 t_1 に第1行～第4行に対応するブロックすべての画素電極に、第1行～第4行に対応するブロックの第1階調値に対応した液晶駆動電圧を書き込む。続く選択期間 t_2 に、第1行～第4行に対応するブロックの第2階調値となる画素の画素電極の電圧を第2階調値に応じた液晶駆動電圧に書き換えると同時に、第5行～第8行のすべての画素電極に、第5行～第8行に対応するブロックの第1階調値に対応する液晶駆動電圧を書き込む。

【0117】

以上を繰り返すことによって、ブロック内の画素の画素電極に n 階調近似信号演算回路で生成した n 階調近似画像信号に対応した液晶駆動電圧を書き込むことが可能である。他の行のブロックに液晶駆動電圧を書き込んでいる間は、 $V_Y = 0V$ であり、スイッチの p 型MOS-TFTは、非導通状態であるので書き込まれた液晶駆動電圧は、再びそのブロックが選択されるまで保持される。上記の動作を順次繰り返し、すべてのブロックの画素電極に n 階調近似信号に対応した液晶駆動電圧を書き込んでいく。

【0118】

図14は、図12の表示システムの制御動作を示すタイミングチャートである。VLCD1は、第1列～第4列に対応するブロックのうち、第1行～第4行、第9行～第12行、…に共通な液晶駆動電圧である。VLCD2は、第1列～第4列に対応するブロックのうち、第5行～第8行、第13行～第16行、…に共通な液晶駆動電圧である。CLK(1-4)は、第1行～第4行のXY演算回路のクロック信号である。CLK(5-8)は、第5行～第8行のXY演算回路のクロック信号である。VY(1)～VY(8)は、それぞれ第1行から第8行のY信号線41の電圧VYである。Vin(1,1)～Vin(1,8)は、それぞれ、第1列、第1行の画素から第1列、第8行の画素の信号比較器120の入力電圧Vinである。VPX(1,1)～VPX(1,8)は、それぞれ、第1列、第1行の画素から第1列、第8行の画素の画素電極140の電圧である。VPX(1,1)～VPX(1,8)におい

て、破線部は、 p 型MOS-TFT131が非導通状態で、画素電極の電圧が保持されている状態を示す。

【0119】

選択期間 t_1 において、 $VLCD1=Va1$ 、 $VLCD2=Va2$ 、 $VX(1)=10V$ 、 $CLK(1-4)=4V$ である。 $CLK(5-8)=16V$ である。 $VY(1) \sim VY(4)=10V$ である。 $CLK(1-4)=4V$ なので、 p 型MOS-TFT116は、導通状態であり、 $Vin(1,1) \sim Vin(1,4)=VX(1)=10V$ で、すべて6V以上であるため、 p 型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧 $VLCD1=Va1$ が書き込まれ、 $V_{PX}(1,1)=V_{PX}(1,2)=V_{PX}(1,3)=V_{PX}(1,4)=Va1$ となる。 $CLK(5-8)=16V$ で、 $VY(5) \sim VY(8)=0V$ であるので、 $Vin(1,5) \sim Vin(1,8)$ は、以前に書き込まれた4V以下の電圧を保持する。したがって、 p 型MOS-TFT131は、非導通状態であり、画素電極140の電位 $V_{PX}(1,5) \sim V_{PX}(1,8)$ は、変化せずに保持される。

【0120】

続く選択期間 t_2 において、 $VLCD1=Vb1$ 、 $VLCD2=Vb2$ 、 $VX(1)=8V$ 、 $CLK(1-4)=16V$ 、 $CLK(5-8)=4V$ である。 $VY(1)=2V$ 、 $VY(2)=4V$ 、 $VY(3)=6V$ 、 $VY(4)=8V$ であるので、 $Vin(t_2)=(VX(t_1)+VY(t_2)-10)$ より、 $Vin(1,1)=2V$ 、 $Vin(1,2)=4V$ 、 $Vin(1,3)=6V$ 、 $Vin(1,4)=8V$ となる。 Vin が6V以上の画素の p 型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧 $VLCD1=Vb1$ が書き込まれるため、 $V_{PX}(1,3)=V_{PX}(1,4)=Vb1$ となる。 Vin が4V以下の画素の p 型MOS-TFT131は、非導通状態になり、画素電極140には、期間 t_1 で書き込まれた液晶駆動電圧 $Va1$ が保持されるため、 $V_{PX}(1,1)=V_{PX}(1,2)=Va1$ となる。 $CLK(5-8)=4V$ で、 $VY(5) \sim VY(8)=10V$ であるので、 $Vin(1,5) \sim Vin(1,8)=VX=8V$ で、6V以上であるため、 p 型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧 $VLCD=Vb2$ が書き込まれ、 $V_{PX}(1,5)=V_{PX}(1,6)=V_{PX}(1,7)=V_{PX}(1,8)=Vb2$ となる。

【0 1 2 1】

続く選択期間 t_3 において、 $VLCD1 = V_{c1}$ 、 $VLCD2 = V_{c2}$ 、 $V_X(1) = 1.4V$ 、 $CLK(1-4) = CLK(5-8) = 1.6V$ である。 $V_Y(1) = V_Y(2) = V_Y(3) = V_Y(4) = 0V$ に変化するので、 $V_{in} = (V_X(t_1) + V_Y(t_3) - V_Y(t_1)) = (V_X(t_1) - 1.0)$ より、 $V_{in}(1,1) = V_{in}(1,2) = V_{in}(1,3) = V_{in}(1,4) = 0V$ となる。 V_{in} が $4V$ 以下であるので、画素の p 型 $MOS-TFT131$ は、非導通状態になり、画素電極 140 の電圧は、保持され、 $V_{PX}(1,1) = V_{PX}(1,2) = V_{a1}$ 、 $V_{PX}(1,3) = V_{PX}(1,4) = V_{b1}$ である。 $V_Y(5) = 2V$ 、 $V_Y(6) = 4V$ 、 $V_Y(7) = 6V$ 、 $V_Y(8) = 8V$ であるので、 $V_{in}(t_3) = (V_X(t_2) + V_Y(t_2) - V_Y(t_3)) = (V_X(t_2) + V_Y(t_2) - 1.0)$ より、 $V_{in}(1,5) = 0V$ 、 $V_{in}(1,6) = 2V$ 、 $V_{in}(1,7) = 4V$ 、 $V_{in}(1,8) = 6V$ となる。

【0 1 2 2】

V_{in} が $6V$ 以上の画素の p 型 $MOS-TFT131$ は、導通状態になり、画素電極 140 には、液晶駆動電圧 $VLCD = V_{c2}$ が書き込まれるため、 $V_{PX}(1,8) = V_{c2}$ となる。 V_{in} が $4V$ 以下の画素の p 型 $MOS-TFT131$ は、非導通状態になり、画素電極 140 には、期間 t_2 で書き込まれた液晶駆動電圧 V_{b2} が保持されるため、 $V_{PX}(1,5) = V_{PX}(1,6) = V_{PX}(1,7) = V_{b2}$ となる。

【0 1 2 3】

以上を繰り返して、順次第 9 行～第 12 行のブロック、第 13 行から第 16 行のブロック…の画素の画素電極 140 に n 階調近似演算回路 10 で生成した n 階調近似画像信号に応じた液晶駆動電圧 $VLCD$ を書き込んでいく。以上の動作を 1 フレーム期間内に終え、このフレーム期間を繰り返し、画像を表示する。

【0 1 2 4】

このように、2 回の選択期間で 4 行からなる 1 ブロックの画素の画素電極に液晶駆動電圧を書き込むことが可能であり、従来技術の 4 行を 4 回の選択期間で書き込む場合に比べ、選択期間の回数は、半分にになる。1 フレーム期間が同じ場合には、本実施形態 4 を用いると、選択期間の長さを 2 倍にできる。

【 0 1 2 5 】

さらに、本実施形態 4 の場合には、第 2 の選択期間と、次の 4 行からなるブロックの第 1 の選択期間が同じであるため、さらに選択時間は、2 倍になり、合計 4 倍の選択時間を確保できる。これは、従来技術と同じ信号電極を用いた場合に、従来技術に比べて 4 倍の行数を表示することが可能であることを意味する。

【 0 1 2 6 】

【実施形態 5】

本発明の実施形態 5 の全体構成は、図 1 と同じであり、画素部の詳細な回路図は、実施形態 2 の図 7 に示した例と同じである。実施形態 2 では、CLK のハイレベルが 16 V であったが、実施形態 5 を用いれば、ハイレベルを 12 V に低減できる。本実施形態 5 の動作について詳細に説明する。図 1 に示す n 階調近似演算回路 10 には、各画素の階調情報を持った画像信号が入力される。n 階調近似演算回路 110 では、画素を 4 行×4 列＝16 個ごとのブロックに分割し、ブロックごとに画素の階調を 2 値に近似して n 階調近似画像信号を生成してこれを信号発生回路 20 に入力する。この近似は、実施形態 1 と同様にして実行する。信号発生回路 20 は、n 階調近似画像信号に応じて X ドライバ、Y ドライバ、信号供給回路、共通電圧発生回路の出力電圧を制御する信号を発生する。

【 0 1 2 7 】

図 15 は、実施形態 5 の表示システムの制御動作を説明する図である。図 15 には、X 方向に 8 列、Y 方向に 8 行の計 64 画素を取り出して描いてある。4 行×4 列＝16 画素を 1 ブロックとしている。X 方向に紙面上で左から第 1 列、第 2 列、…と定義する。Y 方向に紙面上で上から、第 1 行、第 2 行、…と定義する。

【 0 1 2 8 】

まず、選択期間 t_1 において、第 1 行～第 4 行の Y 信号線に 6 V を印加し、その他の Y 信号線に 0 V を印加する。図 15 の各マスには、その画素の XY 演算回路の出力電圧 (V_{in}) を書いてある。第 1 行～第 4 行の XY 演算回路の CLK は、ローレベル (0 V) であり、p 型 MOS-TFT 116 は、導通状態にあるので、第 1 行～第 4 行の画素の V_{in} は、 V_X に等しい。図 15 の例では、第 1 列に V_X (

1)=2 Vが、第1行に $V_Y=6\text{ V}$ が印加されており、 $V_{in}(1,1)=V_X(1)=2\text{ V}$ である。X信号線31には、第1行～第4行の画素からなるブロックのn階調近似画像信号に応じて電圧を印加する。

【0129】

すなわち、第1行の画素が第1階調値で、第2行～第4行の画素が第2階調値である列には、 $V_X=8\text{ V}$ を印加する。第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調値の列には、 $V_X=6\text{ V}$ を印加する。第1行～第3行の画素が第1階調値で、第4行の画素が第2階調値の列には、 $V_X=4\text{ V}$ を印加する。第1行～第4行の画素すべてが第1階調値の列には、 $V_X=2\text{ V}$ を印加する。第1行～第4行の画素すべてが第2階調値の列には、 $V_X=10\text{ V}$ を印加する。以上のように、 V_X として印加される電圧は、2, 4, 6, 8, 10 Vのいずれかである。

【0130】

一方、第5行～第8行のCLKは、ハイレベル(12 V)なのでp型MOS-TFT116は、非導通状態であり、かつ V_Y は、0 Vなので、 V_{in} の値は、変化せず4 V以下の電圧を保持する。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、12 Vである。したがって、スイッチ130のp型MOS-TFT131は、非導通状態であり、画素電極140の電圧は、変化せずに保持される。次に、 t_2 の期間では、第1行～第4行の V_Y は、10 Vとなり、第5行～第8行の V_Y は、6 Vになる。図15には示していないが、その他の行の V_Y は、すべて0 Vである。第1行～第4行のXY演算回路のCLKは、ハイレベル(12 V)であり、p型MOS-TFT116は、非導通状態にあるので、第1行～第4行の V_{in} は、選択期間 t_1 の V_X である $V_X(t_1)$ と、選択期間 t_1 の V_Y である $V_Y(t_1)$ と選択期間 t_2 の V_Y である $V_Y(t_2)$ の差 $\Delta V_Y=V_Y(t_2)-V_Y(t_1)$ の和となる。すなわち、 $V_{in}(t_2)=V_X(t_1)+V_Y(t_2)-V_Y(t_1)=V_X(t_1)+4$ となる。先述のように、 $V_X(t_1)=2, 4, 6, 8, 10\text{ V}$ のいずれかであるため、 $V_{in}(t_2)$ は、6 V以上となる。

【0131】

信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 V_X

にかかわらず、0 Vである。したがって、スイッチ130のp型MOS-TFT 131は、導通状態であり、画素電極140に液晶駆動電圧VLCDが書き込まれる。すなわち、 t_2 の期間に第1行～第4行の画素すべての画素電極に第1階調値に応じたVLCDが書き込まれる。ここで、同1ブロックのVLCDは、同一であるが、他のブロックのVLCDは、異なる電圧値である。すなわち、ブロックごとに第1階調値は、異なる。X信号線31には、第5行～第8行の画素からなるブロックのn階調近似画像信号に応じて電圧を印加する。

【0132】

すなわち、第1行の画素が第1階調値で、第2行～第4行の画素が第2階調値である列には、 $V_X = 8\text{ V}$ を印加する。第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調値の列には、 $V_X = 6\text{ V}$ を印加する。第1行～第3行の画素が第1階調値で、第4行の画素が第2階調値の列には、 $V_X = 4\text{ V}$ を印加する。第1行～第4行の画素すべてが第1階調値の列には、 $V_X = 2\text{ V}$ を印加する。第1行～第4行の画素すべてが第2階調値の列には、 $V_X = 10\text{ V}$ を印加する。第5行～第8行の画素のXY演算回路110のCLKは、ローレベル(0 V)であり、p型MOS-TFT 116は、導通状態なので、 $V_{in} = V_X$ となる。 V_X として印加される電圧は、2, 4, 6, 8, 10 Vのいずれかである。

【0133】

次に、 t_3 の期間では、第1行～第4行のY信号線に上から順に2, 4, 6, 8 Vを印加し、第5行～第8行のY信号線に10 Vを印加する。図15には示していないが、第9行～第12行の V_Y は、6 V、その他の行の V_Y は、すべて0 Vを印加する。また、第5行～第8行のCLKもハイレベル(12 V)になり、p型MOS-TFT 116は、非導通状態となる。第1行～第4行のXY演算回路のCLKは、ハイレベル(12 V)であり、p型MOS-TFT 116は、非導通状態にあるので、第1行～第4行の V_{in} は、選択期間 t_1 の V_X である $V_X(t_1)$ と、選択期間 t_1 の V_Y である $V_Y(t_1)$ と選択期間 t_3 の V_Y である $V_Y(t_3)$ の差 $\Delta V_Y' = V_Y(t_3) - V_Y(t_1)$ の和となる。すなわち、 $V_{in}(t_3) = V_X(t_1) + V_Y(t_3) - V_Y(t_1) = V_X(t_1) + V_Y(t_3) - 6$ となる。

【0134】

図15(c)の第1列は、第1行～第4行のすべての画素が第2階調値である n 階調近似信号が送られてきている場合で、第1列の $VX(t1)$ は、これに応じて $2V$ になっている。第2列は、第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調である n 階調近似信号が送られてきている場合で、第2列の $VX(t1)$ は、これに応じて $6V$ になっている。第1行～第4行の XY 演算回路の CLK は、ローレベル($0V$)であり、 p 型 $MOS-TFT116$ は、導通状態にあるので、第1行～第4行の画素の V_{in} は、 VX に等しい。

【0135】

図15の例では、第1列に $VX(1)=2V$ が、第1行に $VY=6V$ が印加されており、 $V_{in}(1,1)=VX(1)=2V$ である。X信号線31には、第1行～第4行の画素からなるブロックの n 階調近似画像信号に応じて電圧を印加する。

【0136】

すなわち、第1行の画素が第1階調値で、第2行～第4行の画素が第2階調値である列には、 $VX=8V$ を印加する。第1行～第2行の画素が第1階調値で、第3行～第4行の画素が第2階調値の列には、 $VX=6V$ を印加する。第1行～第3行の画素が第1階調値で、第4行の画素が第2階調値の列には、 $VX=4V$ を印加する。第1行～第4行の画素すべてが第1階調値の列には、 $VX=2V$ を印加する。第1行～第4行の画素すべてが第2階調値の列には、 $VX=10V$ を印加する。以上のように、 VX として印加される電圧は、 $2, 4, 6, 8, 10V$ のいずれかである。

【0137】

一方、第5行～第8行の CLK は、ハイレベル($12V$)なので p 型 $MOS-TFT116$ は、非導通状態であり、かつ VY は、 $0V$ なので、 V_{in} の値は、変化せず $4V$ 以下の電圧を保持する。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 $12V$ である。したがって、スイッチ130の p 型 $MOS-TFT131$ は、非導通状態であり、画素電極140の電圧は、変化せずに保持される。次に、 $t2$ の期間では、第1行～第4行の VY は、 $10V$ となり、第5行～第8行の VY は、 $6V$ になる。図15には示していないが、その他の行の VY は、すべて $0V$ である。第1行～第4行の XY 演算回路の CLK は、

ハイレベル(12V)であり、p型MOS-TFT116は、非導通状態にあるので、第1行～第4行の V_{in} は、選択期間 t_1 の V_X である $V_X(t_1)$ と、選択期間 t_1 の V_Y である $V_Y(t_1)$ と選択期間 t_2 の V_Y である $V_Y(t_2)$ の差 $\Delta V_Y = V_Y(t_2) - V_Y(t_1)$ の和となる。すなわち、 $V_{in}(t_2) = V_X(t_1) + V_Y(t_2) - V_Y(t_1) = V_X(t_1) + 4$ となる。

【0138】

先述のように、 $V_X(t_1) = 2, 4, 6, 8, 10V$ のいずれかであるため、 $V_{in}(t_2)$ は、6V以上となる。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 V_X にかかわらず、0Vである。したがって、スイッチ130のp型MOS-TFT131は、導通状態であり、画素電極140に液晶駆動電圧VLCDが書き込まれる。すなわち、 t_2 の期間に第1行～第4行の画素すべての画素電極に第1階調値に応じたVLCDが書き込まれる。

【0139】

ここで、同1ブロックのVLCDは、同一であるが、他のブロックのVLCDは、異なる電圧値である。すなわち、ブロックごとに第1階調値は、異なる。X信号線31には、第9行～第12行の画素からなるブロックの n 階調近似画像信号に応じて電圧を印加する。

【0140】

すなわち、第9行の画素が第1階調値で、第10行～第12行の画素が第2階調値である列には、 $V_X = 8V$ を印加する。第9行～第10行の画素が第1階調値で、第11行～第12行の画素が第2階調値の列には、 $V_X = 6V$ を印加する。第9行～第11行の画素が第1階調値で、第12行の画素が第2階調値の列には、 $V_X = 4V$ を印加する。第9行～第12行の画素すべてが第1階調値の列には、 $V_X = 2V$ を印加する。第1行～第4行の画素すべてが第2階調値の列には、 $V_X = 10V$ を印加する。第5行～第8行の画素のXY演算回路110のCLKは、ハイレベル(12V)であり、p型MOS-TFT116は、非導通状態なので、第5行～第8行の V_{in} は、選択期間 t_2 の V_X である $V_X(t_2)$ と、選択期間 t_2 の V_Y である $V_Y(t_2)$ と選択期間 t_3 の V_Y である $V_Y(t_3)$ の差 $\Delta V_Y = V_Y(t_3) - V_Y(t_2)$ の和となる。すなわち、 $V_{in}(t_3) = V_X(t_2) + V_Y(t_3) - V_Y(t_2) = V_X(t_2)$

+4となる。先述のように、 $V_X(t_2) = 2, 4, 6, 8, 10 \text{ V}$ のいずれかであるため、 $V_{in}(t_3)$ は、6 V以上となる。信号比較器120は、図3に示す特性を有するので、この場合の V_{out} は、 V_X にかかわらず、0 Vである。したがって、スイッチ130のp型MOS-TFT131は、導通状態であり、画素電極140に液晶駆動電圧VLCDが書き込まれる。

【0141】

すなわち、 t_3 の期間に第5行～第8行の画素すべての画素電極に第5行～第8行の第1階調値に応じたVLCDが書き込まれる。

【0142】

図15でハッチングをしたマスは、この期間に画素電極に液晶駆動電圧が書き込まれる画素である。本実施形態5では、第1行～第4行に対応するブロックの第2階調値は、第5行～第8行に対応するブロックの第1階調値を同じ値になる。以上のように、選択期間 t_2 に第1行～第4行に対応するブロックすべての画素電極に、第1行～第4行に対応するブロックの第1階調値に対応した液晶駆動電圧を書き込む。

【0143】

続く選択期間 t_3 に、第1行～第4行に対応するブロックの第2階調値となる画素の画素電極の電圧を第2階調値に応じた液晶駆動電圧に書き換えると同時に、第5行～第8行のすべての画素電極に、第1行～第4行に対応するブロックの第2階調値に対応する液晶駆動電圧を書き込む。

【0144】

以上を繰り返すことによって、ブロック内の画素の画素電極に n 階調近似信号演算回路で生成した n 階調近似画像信号に対応した液晶駆動電圧を書き込むことが可能である。他の行のブロックに液晶駆動電圧を書き込んでいる間は、 $V_Y = 0 \text{ V}$ であり、スイッチのp型MOS-TFTは、非導通状態であるので書き込まれた液晶駆動電圧は、再びそのブロックが選択されるまで保持される。

【0145】

上記の動作を順次繰り返し、すべてのブロックの画素電極に n 階調近似信号に対応した液晶駆動電圧を書き込んでいく。

【0146】

図16は、実施形態5の表示システムの制御動作を示すタイミングチャートである。VLCDは、第1列～第4列に対応するブロックに共通な液晶駆動電圧である。CLK(1-4)は、第1行～第4行のXY演算回路のクロック信号である。CLK(5-8)は、第5行～第8行のXY演算回路のクロック信号である。VY(1)～VY(8)は、それぞれ第1行から第8行のY信号線41の電圧VYである。Vin(1,1)～Vin(1,8)は、それぞれ、第1列、第1行の画素から第1列、第8行の画素の信号比較器120の入力電圧Vinである。VPX(1,1)～VPX(1,8)は、それぞれ、第1列、第1行の画素から第1列、第8行の画素の画素電極140の電圧である。VPX(1,1)～VPX(1,8)において、破線部は、p型MOS-TFT131が非導通状態で、画素電極の電圧が保持されている状態を示す。

【0147】

選択期間t1において、VX(1)=2V、CLK(1-4)=0Vである。CLK(5-8)=12Vである。VY(1)～VY(4)=6Vである。CLK(1-4)=0Vなので、p型MOS-TFT116は、導通状態であり、Vin(1,1)～Vin(1,4)=VX(1)=2Vとなる。CLK(5-8)=12Vで、VY(5)～VY(8)=0Vであるので、Vin(1,5)～Vin(1,8)は、以前に書き込まれた4V以下の電圧を保持する。したがって、p型MOS-TFT131は、非導通状態であり、画素電極140の電位VPX(1,5)～VPX(1,8)は、変化せずに保持される。

【0148】

続く選択期間t2において、VLCD=Va、VX(1)=10V、CLK(1-4)=12V、CLK(5-8)=0Vである。VY(1)=VY(2)=VY(3)=VY(4)=10Vであるので、Vin(t2)=VX(t1)+4より、Vin(1,1)=Vin(1,2)=Vin(1,3)=Vin(1,4)=6Vとなる。Vinが6V以上の画素のp型MOS-TFT131は、導通状態になり、画素電極140には、液晶駆動電圧VLCD=Vaが書き込まれるため、VPX(1,1)=VPX(1,2)=VPX(1,3)=VPX(1,4)=Vaとなる。VY(5)～VY(8)=6Vである。CLK(5-8)=0V

なので、p型MOS-TFT 116は、導通状態であり、 $V_{in}(1,5) \sim V_{in}(1,8) = V_X(1) = 4V$ となる。

【0149】

続く選択期間 t_3 において、 $VLCD = V_b$ 、 $V_X(1) = 10V$ 、 $CLK(1-4) = CLK(5-8) = 12V$ である。 $V_Y(1) = 2V$ 、 $V_Y(2) = 4V$ 、 $V_Y(3) = 6V$ 、 $V_Y(4) = 8V$ に変化するので、 $V_{in} = V_X(t_1) + V_Y(t_3) - 6$ より、 $V_{in}(1,1) = -2V$ 、 $V_{in}(1,2) = 0V$ 、 $V_{in}(1,3) = 2V$ 、 $V_{in}(1,4) = 4V$ となる。この場合には、 V_{in} が4V以下であるので、画素のp型MOS-TFT 131は、非導通状態であり、画素電極140の電圧は、保持され、 $V_{PX}(1,1) = V_{PX}(1,2) = V_{PX}(1,3) = V_{PX}(1,4) = V_a$ である。 $V_Y(5) = V_Y(6) = V_Y(7) = V_Y(8) = 10V$ であるので、第5行～第8行の V_{in} は、 $V_{in}(t_3) = V_X(t_2) + 4$ より、 $V_{in}(1,5) = V_{in}(1,6) = V_{in}(1,7) = V_{in}(1,8) = 8V$ となる。 V_{in} が6V以上のため、すべての画素電極140には、液晶駆動電圧 $VLCD = V_b$ が書き込まれる。続く選択期間 t_4 において、 $VLCD = V_c$ 、 $V_X(1) = 6V$ 、 $CLK(1-4) = CLK(5-8) = 12V$ である。 $V_Y(1) = V_Y(2) = V_Y(3) = V_Y(4) = 0V$ に変化するので、 V_{in} は、すべて4V以下となる。したがって、画素のp型MOS-TFT 131は、非導通状態であり、画素電極140の電圧は、保持され、 $V_{PX}(1,1) = V_{PX}(1,2) = V_{PX}(1,3) = V_{PX}(1,4) = V_a$ である。 $V_Y(5) = 2V$ 、 $V_Y(6) = 4V$ 、 $V_Y(7) = 6V$ 、 $V_Y(8) = 8V$ であるので、第5行～第8行の V_{in} は、 $V_{in}(t_4) = V_X(t_2) - 6$ より、 $V_{in}(1,5) = 0V$ 、 $V_{in}(1,6) = 2V$ 、 $V_{in}(1,7) = 4V$ 、 $V_{in}(1,8) = 6V$ となる。 V_{in} が6V以上の画素電極140には、液晶駆動電圧 $VLCD = V_c$ が書き込まれる。 V_{in} が4V以下の画素電極140の電圧は、 $VLCD = V_b$ を保持する。したがって、 $V_{PX}(1,5) = V_{PX}(1,6) = V_{PX}(1,7) = V_b$ 、 $V_{PX}(1,8) = V_c$ である。

【0150】

以上を繰り返して、順次第9行～第12行のブロック、第13行から第16行のブロック…の画素の画素電極140にn階調近似演算回路10で生成したn階調近似画像信号に応じた液晶駆動電圧 $VLCD$ を書き込んでいく。以上の動作を1

フレーム期間内に終え、このフレーム期間を繰り返し、画像を表示する。

【0151】

このように、2回の選択期間で4行からなる1ブロックの画素の画素電極に液晶駆動電圧を書き込むことが可能であり、従来技術の4行を4回の選択期間で書き込む場合に比べ、選択期間の回数は、半分になる。1フレーム期間が同じ場合には、本実施形態5を用いると、選択期間の長さを2倍にできる。さらに、本実施形態5の場合には、第2の選択期間と、次の4行からなるブロックの第1の選択期間が同じであるため、さらに選択時間は、2倍になり、合計4倍の選択時間を確保できる。これは、従来技術と同じ信号電極を用いた場合に、従来技術に比べて4倍の行数を表示することが可能であることを意味する。

【0152】

【実施形態6】

図17は、本発明による表示システムの実施形態6の全体構成を示すブロック図である。入力した画像信号をブロックごとに2色に近似したn色近似画像信号に変換するためのn色近似演算回路11と、n色近似演算回路11から出力されるn色近似画像信号に従い、Xドライバ30、Yドライバ40、共通電圧発生回路50、信号供給回路60に所定の信号を供給する信号発生回路20と、Xドライバに接続されY方向に伸びたX信号線31とYドライバ40に接続されX方向に伸びたY信号線41の交差部に設けられた複数の画素部100とからなる。

【0153】

図18は、図17の画素部100の詳細な回路構成の一例を示す回路図である。XY演算回路110は、p型MOS-TFT116とコンデンサ117からなる。p型MOS-TFT116のドレイン端子は、X信号線31に接続され、ソース端子は、コンデンサ117に接続されている。コンデンサ117のもう一方の端子は、Y信号線41に接続されている。クロック信号CLKは、クロック信号線71を介してYドライバ40から供給される。信号比較器120は、直列に接続したp型MOS-TFT121とn型MOS-TFT122とからなる。

【0154】

赤色画素のスイッチは、p型MOS-TFT131Rからなり、p型MOS-

TFT131Rのソース端子は、赤色画素の画素電極140Rに、ドレイン端子は、赤色画素に対応した液晶駆動信号線61Rに接続される。緑色画素のスイッチは、p型MOS-TFT131Gからなり、p型MOS-TFT131Gのソース端子は、緑色画素の画素電極140Gに、ドレイン端子は、緑色画素に対応した液晶駆動信号線61Gに接続される。青色画素のスイッチは、p型MOS-TFT131Bからなり、p型MOS-TFT131Bのソース端子は、青色画素の画素電極140Bに、ドレイン端子は、青色画素に対応した液晶駆動信号線61Bに接続される。隣接する赤色画素、緑色画素、青色画素のp型MOS-TFT131R、131G、131Bのゲート端子は、同一の信号比較器120の出力端に接続される。

【0155】

本実施形態6においては、XY演算回路110と信号比較器120とを赤、緑、青の3画素に対して1組み設けることになり、第1～5の実施例に比較して、XY演算回路の数および信号比較器の数を1/3に削減できる。この構造は、部品点数の削減による歩留まりの向上と、削減して得られた領域を有効表示領域の拡大に割り当てることによる明るさの向上とをもたらす。

【0156】

【実施形態7】

図19は、本発明による表示システムの実施形態7の全体構成を示すブロック図である。画像描画命令を発生するCPU200と、画像描画命令に従い画像信号を生成し、生成した画像信号をメモリ500に格納するとともに、生成した画像信号を液晶表示装置1000に inputs する表示制御装置400とからなる。

【0157】

液晶表示装置1000は、入力された画像信号をブロックごとに2値の階調に近似したn階調近似画像信号に変換するためのn階調近似演算回路10と、n階調近似演算回路10から出力されるn階調近似画像信号に従い、Xドライバ30、Yドライバ40、共通電圧発生回路50、信号供給回路60に所定の信号を供給する信号発生回路20と、Xドライバに接続されY方向に伸びたX信号線31とYドライバ40に接続されX方向に伸びたY信号線41の交差部に設けられた

複数の画素部100とからなる。

【0158】

n階調近似演算回路が液晶表示装置1000内にあるので、CPU200、バスライン300、表示制御装置400、画像メモリ500に従来技術を用いた液晶表示装置に対するものと同じ仕様のものを使用できる。

【0159】

【実施形態8】

図20は、本発明による表示システムの実施形態8の全体構成を示すブロック図である。画像描画命令を発生するCPU200と、画像描画命令に従い画像信号を生成し、生成した画像信号をメモリ500に格納するとともに、内蔵したn階調近似演算回路10により、生成した画像信号をブロックごとに2値の階調に近似したn階調近似画像信号に変換して液晶表示装置1000に入力する表示制御装置400とからなる。

【0160】

液晶表示装置1000は、入力されたn階調近似画像信号に従い、Xドライバ30、Yドライバ40、共通電圧発生回路50、信号供給回路60に所定の信号を供給する信号発生回路20と、Xドライバに接続されY方向に伸びたX信号線31とYドライバ40に接続されX方向に伸びたY信号線41の交差部に設けられた複数の画素部100とからなる。

【0161】

n階調近似演算回路が表示制御装置400内にあるため、液晶表示装置1000に入力される信号は、n階調近似画像信号となる。従来の液晶表示装置を用いた表示システムでは、高精細表示する場合、液晶表示装置に入力する情報量に律束されていた。

【0162】

本実施形態8を用いた場合、n階調画像信号は、画像信号に比べて少ない情報量となるため、従来技術を用いた表示システムと比べ、高精細表示が可能である。

【0163】

【実施形態 9】

図 2 1 は、本発明による表示システムの実施形態 9 の全体構成を示すブロック図である。n 階調近似演算機能を有する CPU 2 0 0 と、CPU からバスライン 3 0 0 を介して送られる n 階調近似画像信号をメモリ 5 0 0 に格納するとともに、格納した n 階調近似画像信号を液晶表示装置 1 0 0 0 に入力する表示制御装置 4 0 0 とからなる。

【0 1 6 4】

液晶表示装置 1 0 0 0 は、入力された n 階調近似画像信号に従い、X ドライバ 3 0、Y ドライバ 4 0、共通電圧発生回路 5 0、信号供給回路 6 0 に所定の信号を供給する信号発生回路 2 0 と、X ドライバに接続され Y 方向に伸びた X 信号線 3 1 と Y ドライバ 4 0 に接続され X 方向に伸びた Y 信号線 4 1 の交差部に設けられた複数の画素部 1 0 0 からなる。

【0 1 6 5】

演算機能を CPU が備えたので、表示制御装置には、低い性能のものをを用いることが可能である。

【0 1 6 6】

【実施形態 1 0】

図 2 2 は、本発明による表示システムの実施形態 1 0 の全体構成を示すブロック図である。

【0 1 6 7】

上記実施形態 1 から実施形態 9 では、選択期間を長くできるために、より高精細表示または高速動画表示が可能であるという観点から説明した。

【0 1 6 8】

一方、本発明には、表示装置に入力する信号の周波数を低減し、高精細表示または高速動画表示をする場合でも、表示装置に画像信号を正確に入力できるという効果もある。

【0 1 6 9】

この表示装置に入力する信号の周波数に注目して、実施形態 1 から実施形態 9 をまとめると、図 2 2 に示した実施形態 1 0 の構成となる。実施形態 1 0 の表示

装置 1 0 0 0 は、X ドライバ 3 0 と、Y ドライバ 4 0 と、入力した圧縮画像信号に従って X ドライバ 3 0、Y ドライバ 4 0、(ここでは図示していない) 共通電圧発生回路 5 0 に所定の信号を供給する信号発生回路 2 0 と、X ドライバに接続され Y 方向に伸びた X 信号線 3 1 と Y ドライバ 4 0 に接続され X 方向に伸びた Y 信号線 4 1 との交差部に設けられた複数の画素部 1 0 0 とからなる。信号発生回路 2 0 は、必要に応じて、第 1 から第 9 の実施形態の場合のように、信号供給回路 6 0 に所定の信号を供給する。X ドライバ 3 0 または Y ドライバ 4 0 が信号供給回路を兼ねる場合には、信号供給回路 6 0 は不要である。

【 0 1 7 0 】

表示装置 1 0 0 0 には、従来技術の表示装置と異なり、圧縮画像信号が入力される。すなわち、単位時間あたりに表示装置 1 0 0 0 に入力される信号のデータ量は、単位時間あたりに見かけ上表示するデータ量よりも少ない。

【 0 1 7 1 】

例えば、 640×480 ドットで、RGB 各色 8 ビット、フレーム周波数 60 Hz で表示される単位時間当たりのデータ量は、 $640 \times 480 \times (3 \times 8) \times 60 = \text{約 } 440 \text{ Mビット/秒}$ となる。

【 0 1 7 2 】

これに対して、本発明の場合は、表示装置 1 0 0 0 に入力されるデータ量は、 440 Mビット/秒 よりも少ない。従来技術では、8 回の選択期間を必要としていたのに対し、例えば、実施形態 1 の場合、4 行からなる 2 つのブロックの画素に 2 回の選択期間で液晶駆動電圧を書き込むことが可能であり、選択期間の回数を $1/4$ にできる。したがって、表示装置 1 0 0 0 に入力される信号のデータ量は、 $1/4$ の約 110 Mビット/秒 になる。

【 0 1 7 3 】

以上のように、本発明によれば、表示装置に入力する信号のデータ量を削減できるので、高精細表示または高速動画表示をする際にも、通常のケーブルを用いて、所望の高精細表示または高速動画表示を実現可能である。

【 0 1 7 4 】

本発明の実施形態では、圧縮画像信号として n 階調近似によりデータ量を削減

した信号を用いたが、他にも J P E G で用いられているような直交変換によりデータ量を削減した信号を用いるなど、人間の知覚特性上冗長なデータを削減した画像圧縮信号を用いることができる。

【 0 1 7 5 】

【発明の効果】

本発明によれば、例えば、2回の選択期間で4行からなる1ブロックの画素の画素電極に液晶駆動電圧を書き込むことが可能であり、従来技術の4行を4回の選択期間で書き込む場合に比べ、選択期間の回数は、半分になる。1フレーム期間が同じ場合には、本発明によれば、選択期間の長さを2倍にできる。さらに、第2の選択期間と次の4行からなるブロックの第1の選択期間とが同じである場合は、さらに選択時間は、2倍になり、合計4倍の選択時間を確保できる。これは、従来技術と同じ信号電極を用いた場合に、従来技術に比べて4倍の行数を表示することが可能であることになり、高精細表示または高速動画表示するときにも、選択期間を十分に確保できるため、良好な表示が可能である。

【図面の簡単な説明】

【図 1】

本発明による表示システムの実施形態1の全体構成を示すブロック図である。

【図 2】

図1の画素部100の構成の一例を示す回路図である。

【図 3】

図2の画素部100の詳細な回路構成の一例を示す回路図である。

【図 4】

図3の信号比較器の動作を説明する図である。

【図 5】

図1の表示システムの制御動作を説明する図である。

【図 6】

図1の表示システムの制御動作を説明するタイミングチャートである。

【図 7】

本発明による表示システムの実施形態2の画素部100の詳細な回路構成を示

す回路図である。

【図 8】

図 7 の表示システムの制御動作を説明する図である。

【図 9】

図 7 の表示システムの制御動作を示すタイミングチャートである。

【図 1 0】

実施形態 3 の表示システムの制御動作を説明する図である。

【図 1 1】

実施形態 3 の表示システムの制御動作を示すタイミングチャートである。

【図 1 2】

本発明による表示システムの実施形態 4 の全体構成を示すブロック図である。

【図 1 3】

図 1 2 の表示システムの制御動作を説明する図である。

【図 1 4】

図 1 2 の表示システムの制御動作を示すタイミングチャートである。

【図 1 5】

実施形態 5 の表示システムの制御動作を説明する図である。

【図 1 6】

実施形態 5 の表示システムの制御動作を示すタイミングチャートである。

【図 1 7】

本発明による表示システムの実施形態 6 の全体構成を示すブロック図である。

【図 1 8】

図 1 7 の画素部 1 0 0 の詳細な回路構成の一例を示す回路図である。

【図 1 9】

本発明による表示システムの実施形態 7 の全体構成を示すブロック図である。

【図 2 0】

本発明による表示システムの実施形態 8 の全体構成を示すブロック図である。

【図 2 1】

本発明による表示システムの実施形態 9 の全体構成を示すブロック図である。

【図 2 2】

本発明による表示システムの実施形態 1 0 の全体構成を示すブロック図である

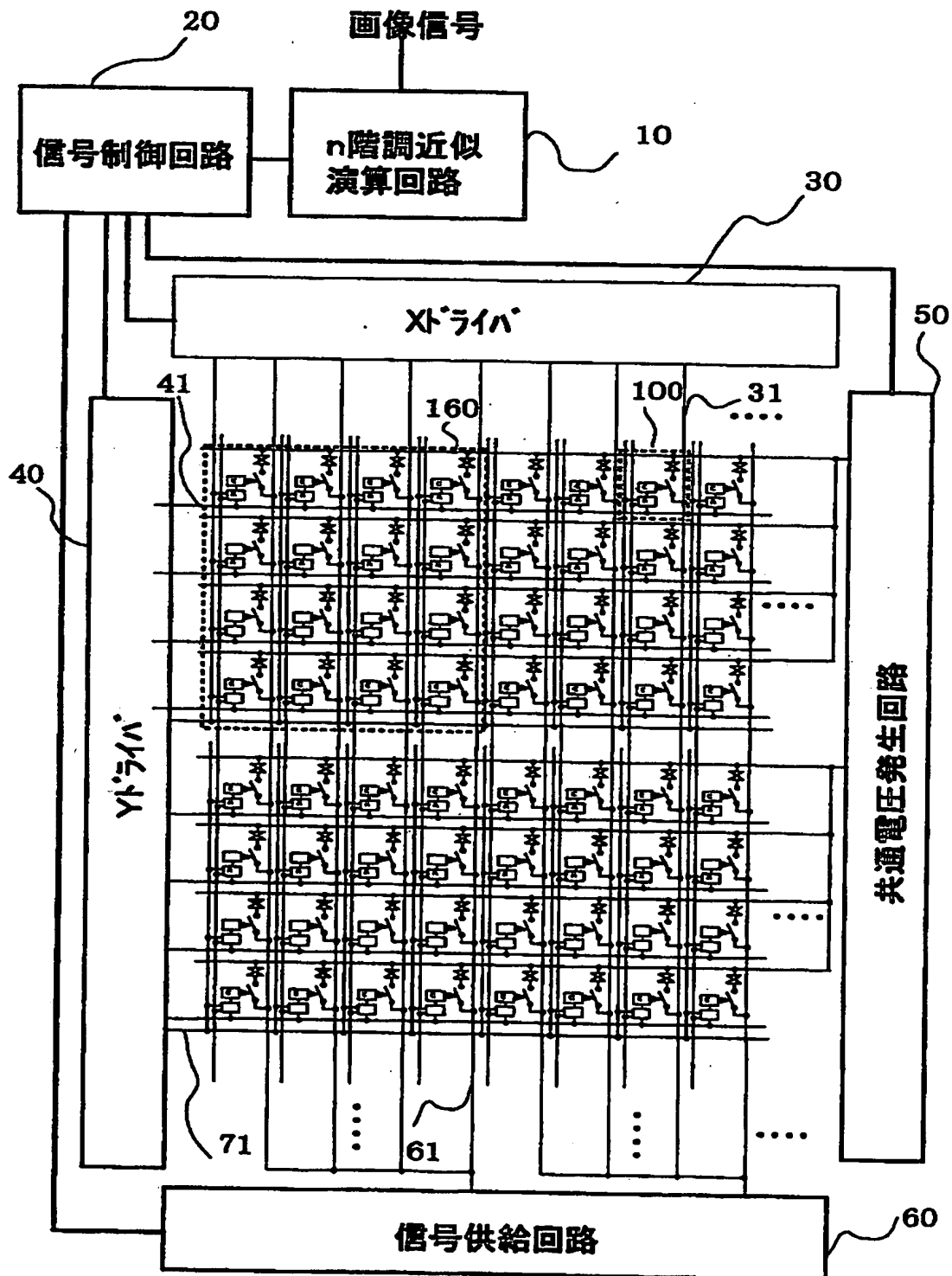
【符号の説明】

- 1 0 n 階調近似演算回路
- 1 1 n 色近似演算回路
- 2 0 信号制御回路
- 3 0 Xドライバ
- 3 1 X信号線
- 4 0 Yドライバ
- 5 0 共通電圧発生回路
- 6 0 液晶駆動電圧供給回路
- 5 1 共通電圧線
- 6 1 液晶駆動電圧線
- 6 2 液晶駆動電圧線
- 6 3 液晶駆動電圧線
- 6 1 R 液晶駆動電圧線
- 6 1 G 液晶駆動電圧線
- 6 1 B 液晶駆動電圧線
- 7 1 クロック信号線
- 1 0 0 画素部
- 1 1 0 XY演算回路
- 1 1 1 コンデンサ
- 1 1 2 コンデンサ
- 1 1 3 p型MOS-TFT
- 1 1 5 XY演算回路の出力端子
- 1 1 6 p型MOS-TFT
- 1 1 7 コンデンサ
- 1 2 0 信号比較器

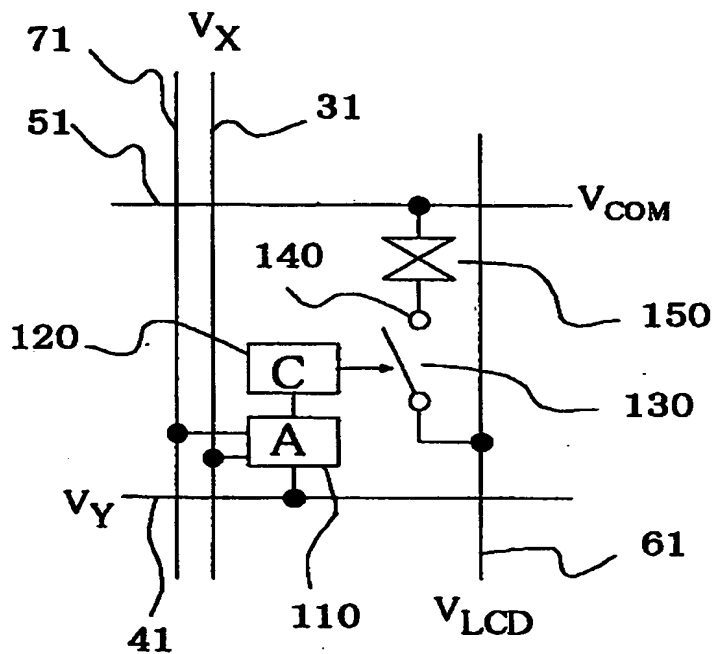
1 2 1 p 型 M O S - T F T
1 2 2 n 型 M O S - T F T
1 3 0 スイッチ
1 3 1 p 型 M O S - T F T
1 3 1 R p 型 M O S - T F T
1 3 1 G p 型 M O S - T F T
1 3 1 B p 型 M O S - T F T
1 4 0 画素電極
1 5 0 液晶
1 6 0 ブロック
2 0 0 C P U
3 0 0 バスライン
4 0 0 表示制御装置
5 0 0 画像メモリ
1 0 0 0 表示装置

【書類名】 図面

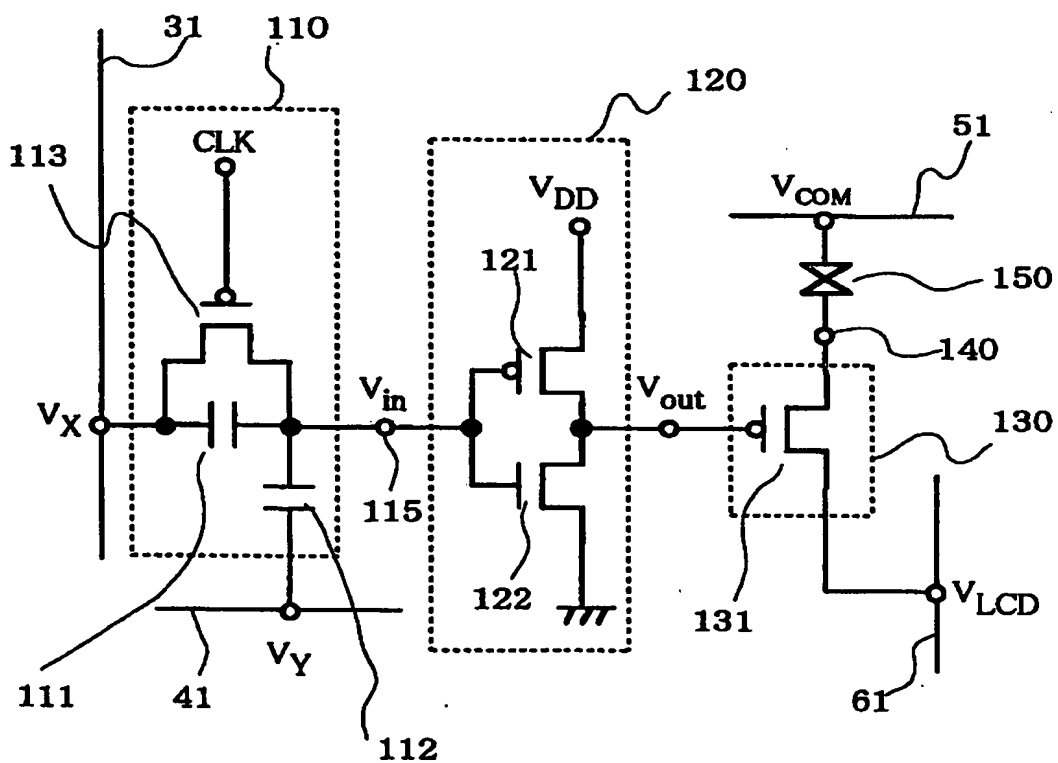
【図1】



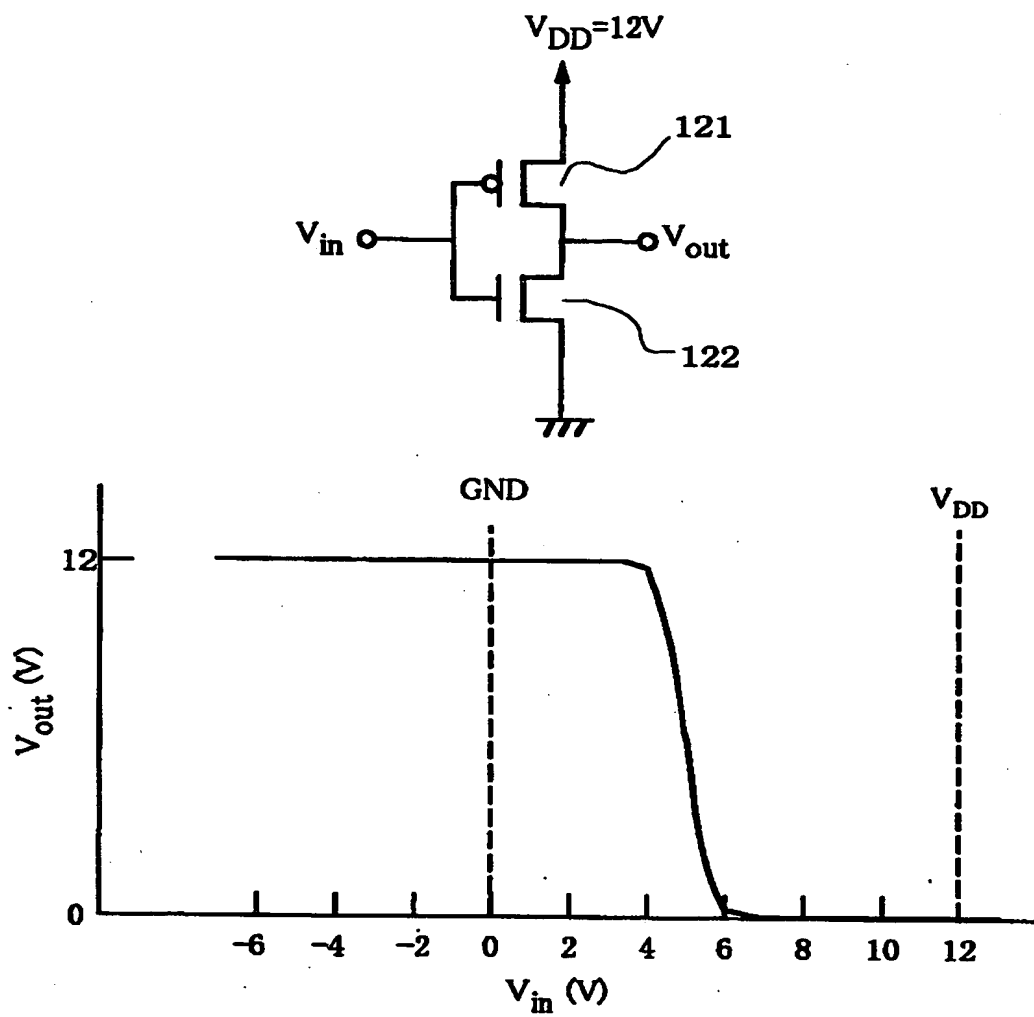
【図 2】



【図 3】



【図 4】



【図 5】

選択期間 t_1 :

第1行～第4行

$$\begin{aligned} V_{in}(t_1) &= (V_X(t_1) + V_X(t_1))/2 \\ &= (V_X(t_1) + 20)/2 \geq 6 \end{aligned}$$

第5行～第8行

$$\begin{aligned} V_{in}(t_1) &= (V_X(t_1) + V_X(t_1))/2 \\ &= (V_X(t_1) + 0)/2 \leq 4 \end{aligned}$$

		$V_X(t_1)$							
		4	8	8	4	0	-4	-8	-8
20		12	14	14	12	10	8	6	6
20		12	14	14	12	10	8	6	6
20		12	14	14	12	10	8	6	6
20		12	14	14	12	10	8	6	6
		$V_Y(t_1)$							
0		2	4	4	2	0	-2	-4	-4
0		2	4	4	2	0	-2	-4	-4
0		2	4	4	2	0	-2	-4	-4
0		2	4	4	2	0	-2	-4	-4

選択期間 t_2 :

第1行～第4行

$$V_{in}(t_2) = (V_X(t_2) + V_X(t_2))/2$$

第5行～第8行

$$\begin{aligned} V_{in}(t_2) &= (V_X(t_2) + V_X(t_2))/2 \\ &= (V_X(t_2) + 20)/2 \geq 6 \end{aligned}$$

		$V_X(t_2)$							
		0	-4	-4	0	4	0	-4	-8
4		2	0	0	2	4	2	0	-2
8		4	2	2	4	6	4	2	0
12		6	4	4	6	8	6	4	2
16		8	6	6	8	10	8	6	4
20		10	8	8	10	12	10	8	6
20		10	8	8	10	12	10	8	6
20		10	8	8	10	12	10	8	6
20		10	8	8	10	12	10	8	6

選択期間 t_3 :

第1行～第4行

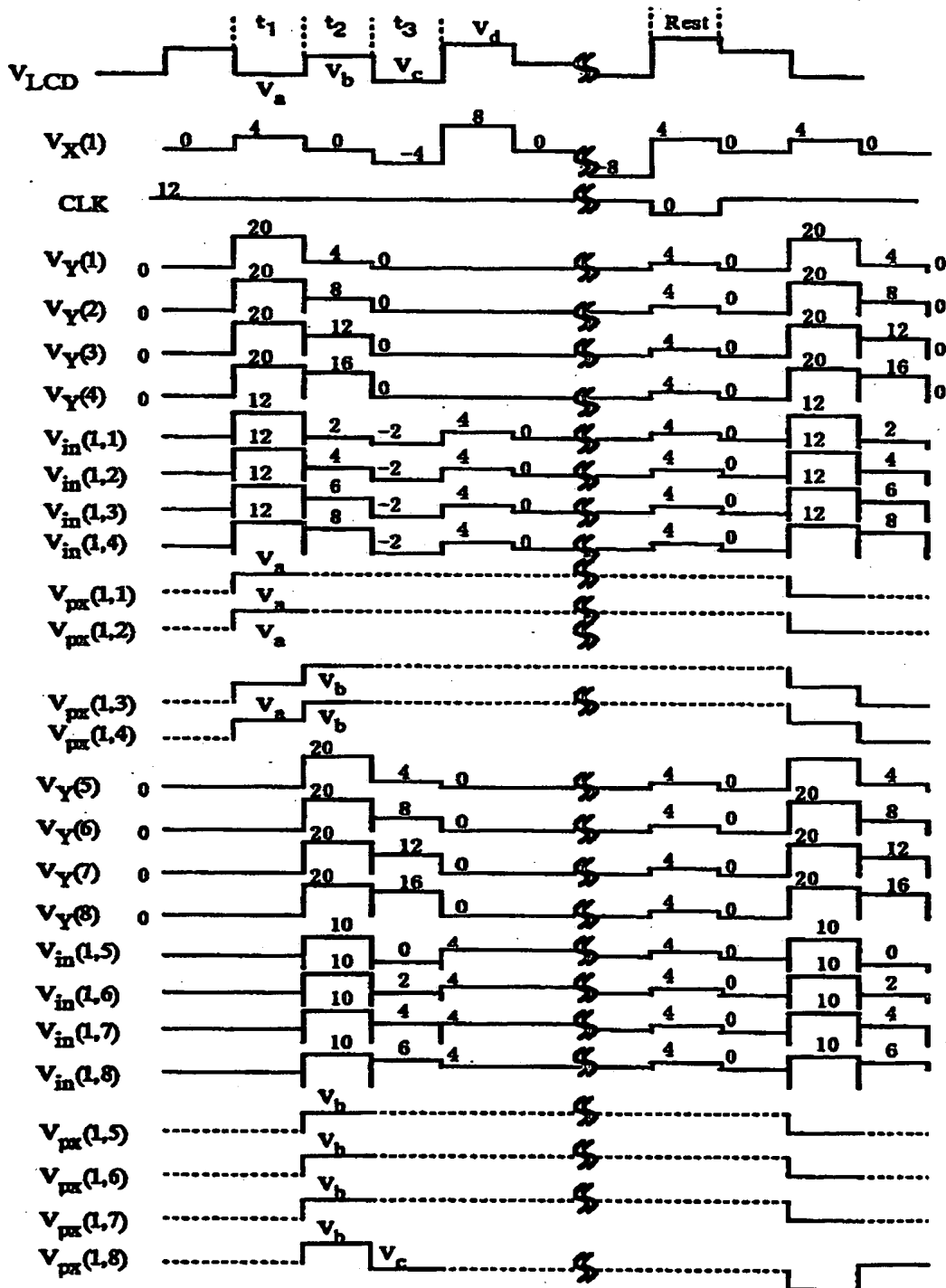
$$\begin{aligned} V_{in}(t_3) &= (V_X(t_3) + V_X(t_3))/2 \\ &= (V_X(t_3) + 0)/2 \leq 4 \end{aligned}$$

第5行～第8行

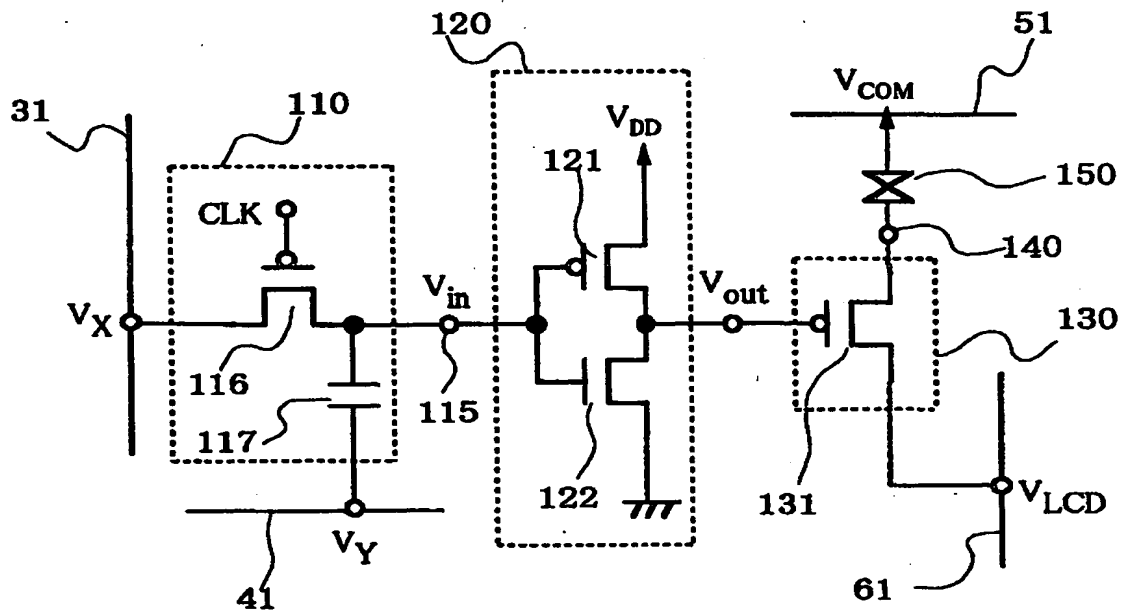
$$V_{in}(t_3) = (V_X(t_3) + V_X(t_3))/2$$

		$V_X(t_3)$							
		-4	0	0	0	0	-4	-8	-8
0		-2	0	0	0	0	-2	-4	-4
0		-2	0	0	0	0	-2	-4	-4
0		-2	0	0	0	0	-2	-4	-4
0		-2	0	0	0	0	-2	-4	-4
4		0	2	2	2	2	0	-2	-2
8		2	4	4	4	4	2	0	0
12		4	6	6	6	6	4	2	2
16		6	8	8	8	8	6	4	4

【図 6】



【図 7】



【図 8】

選択期間 t_1 :

第1行～第4行

$$V_{in}(t_1) = V_X(t_1) \geq 6$$

第5行～第8行

$$V_{in}(t_1) \leq 4 \text{ を保持}$$

		$V_X(t_1)$							
		10	8	8	10	12	10	8	6
10	-	10	8	8	10	12	10	8	6
10	-	10	8	8	10	12	10	8	6
10	-	10	8	8	10	12	10	8	6
10	-	10	8	8	10	12	10	8	6
$V_Y(t_1)$	10	10	8	8	10	12	10	8	6
0	-	*	*	*	*	*	*	*	*
0	-	*	*	*	*	*	*	*	*
0	-	*	*	*	*	*	*	*	*
0	-	*	*	*	*	*	*	*	*
		⋮			⋮				

(a)

選択期間 t_2 :

第1行～第4行

$$V_{in}(t_2) = V_X(t_1) + V_Y(t_2) - 10$$

$$V_{in}(t_2) = V_X(t_2) \geq 6$$

		$V_X(t_2)$							
		8	10	10	10	10	8	6	6
2	-	2	0	0	2	4	2	0	-2
4	-	4	2	2	4	6	4	2	0
6	-	6	4	4	6	8	6	4	2
8	-	8	6	6	8	10	8	6	4
$V_Y(t_2)$	10	10	8	8	10	12	10	8	6
10	-	10	8	8	10	12	10	8	6
10	-	10	8	8	10	12	10	8	6
10	-	10	8	8	10	12	10	8	6
10	-	10	8	8	10	12	10	8	6
		⋮			⋮				

(b)

選択期間 t_3 :

第1行～第4行

$$V_{in}(t_3) = V_X(t_1) - 10 \leq 4 \text{ を保持}$$

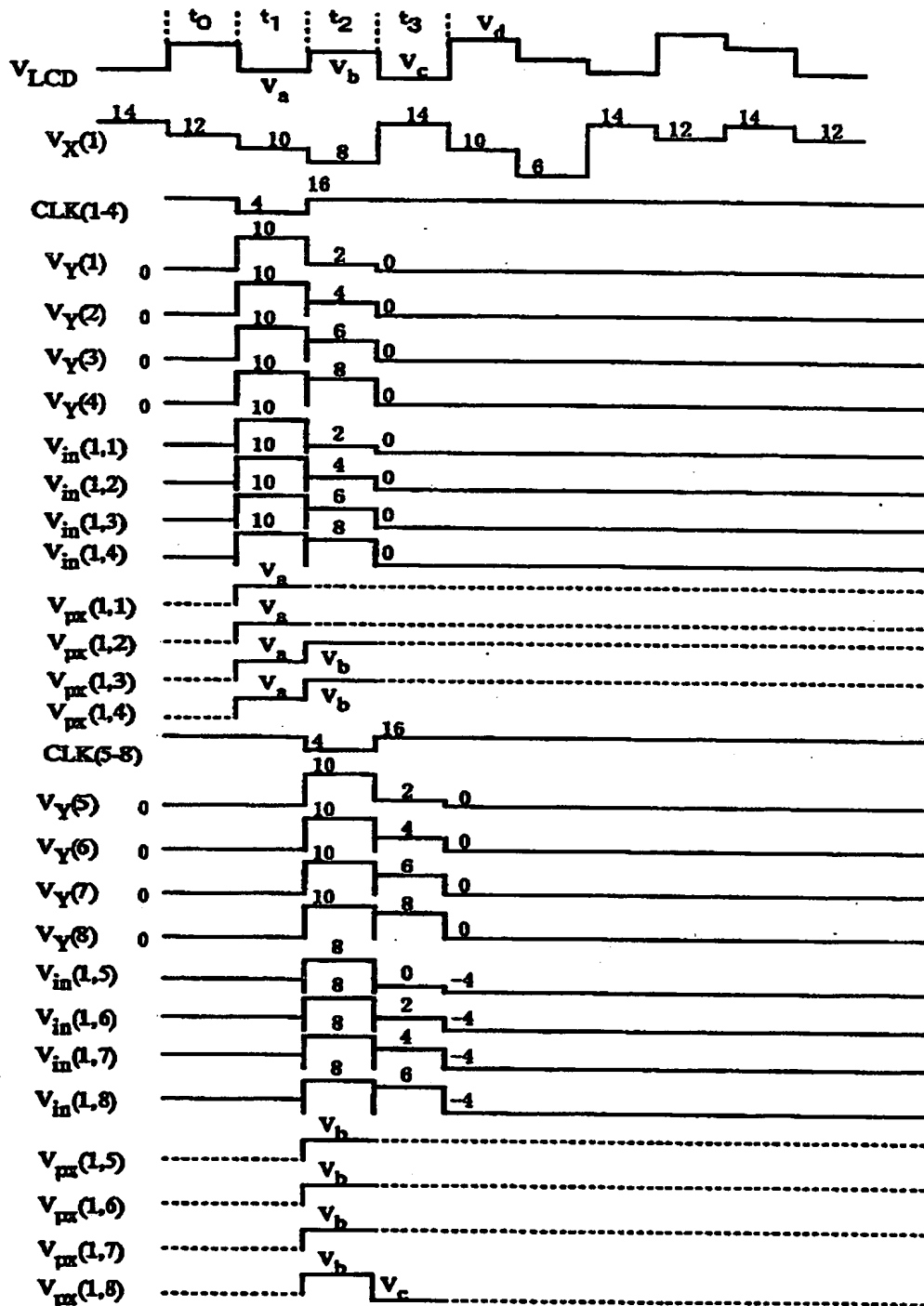
第5行～第8行

$$V_{in}(t_3) = V_X(t_2) + V_Y(t_3) - 10$$

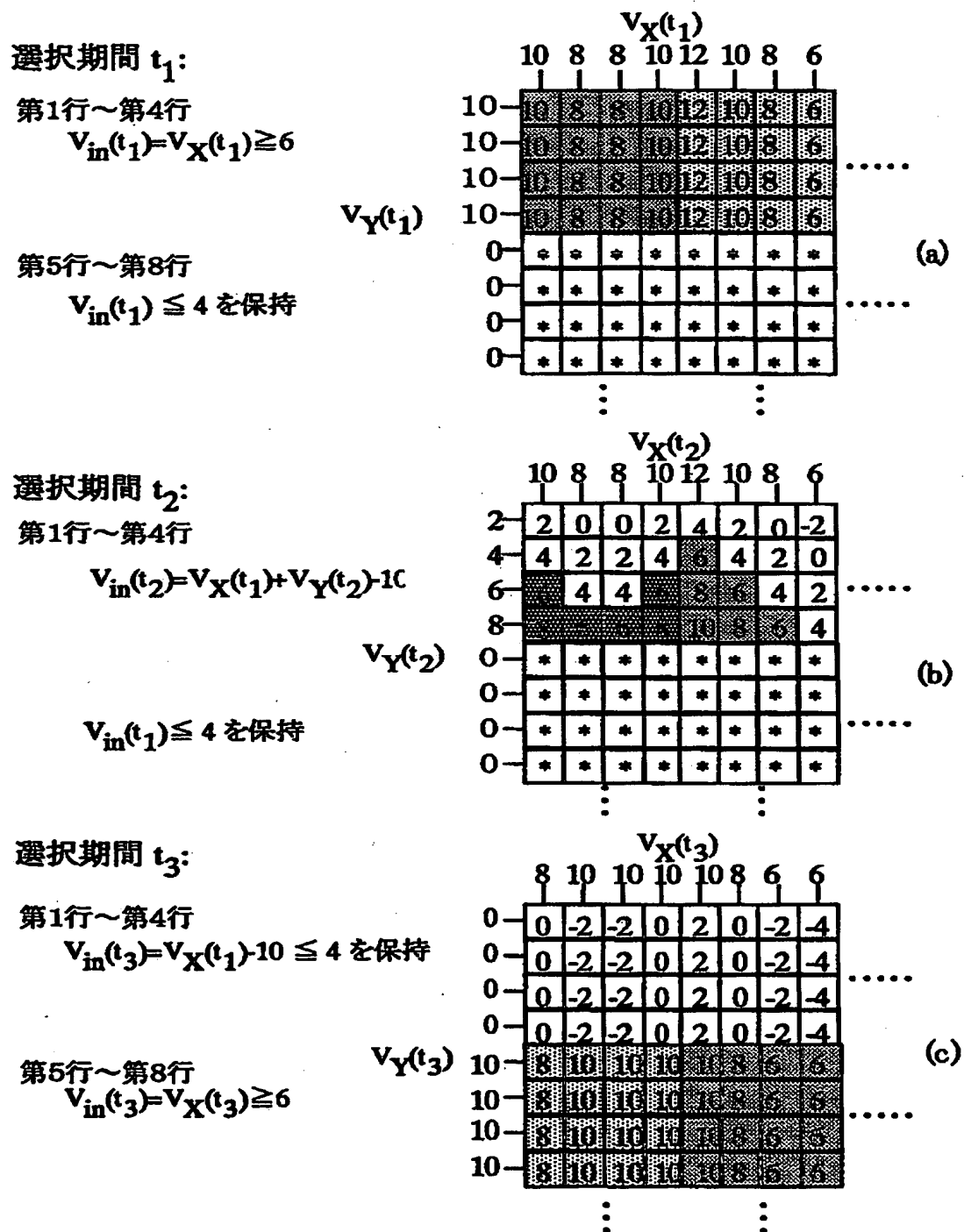
		$V_X(t_3)$							
		14	10	8	6	6	10	10	12
0	-	0	-2	-2	0	2	0	-2	-4
0	-	0	-2	-2	0	2	0	-2	-4
0	-	0	-2	-2	0	2	0	-2	-4
0	-	0	-2	-2	0	2	0	-2	-4
$V_Y(t_3)$	2	0	2	2	2	2	0	-2	-2
4	-	2	4	4	4	4	2	0	0
6	-	4	6	6	6	6	4	2	2
8	-	6	8	8	8	8	6	4	4
		⋮			⋮				

(c)

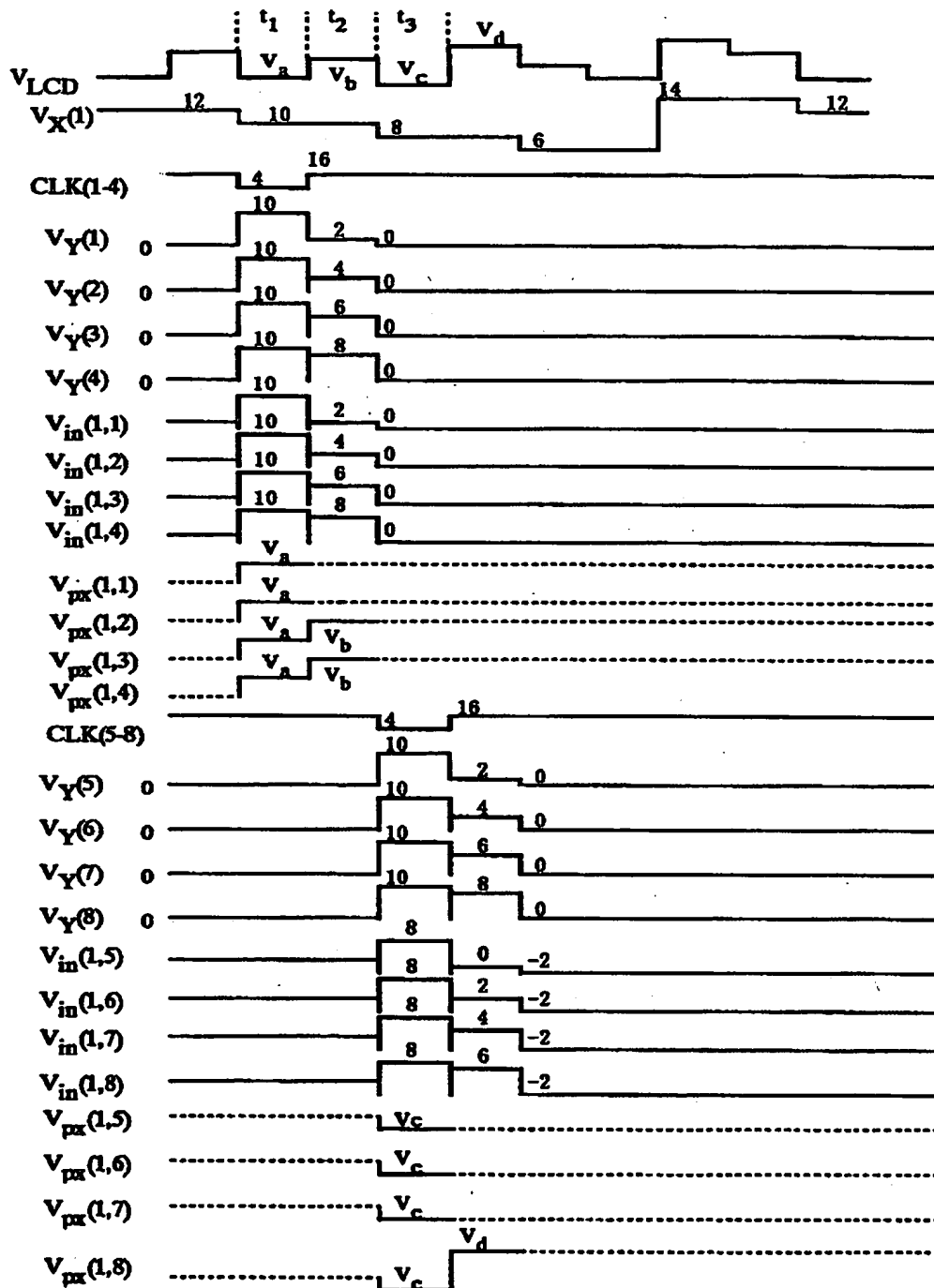
【図 9】



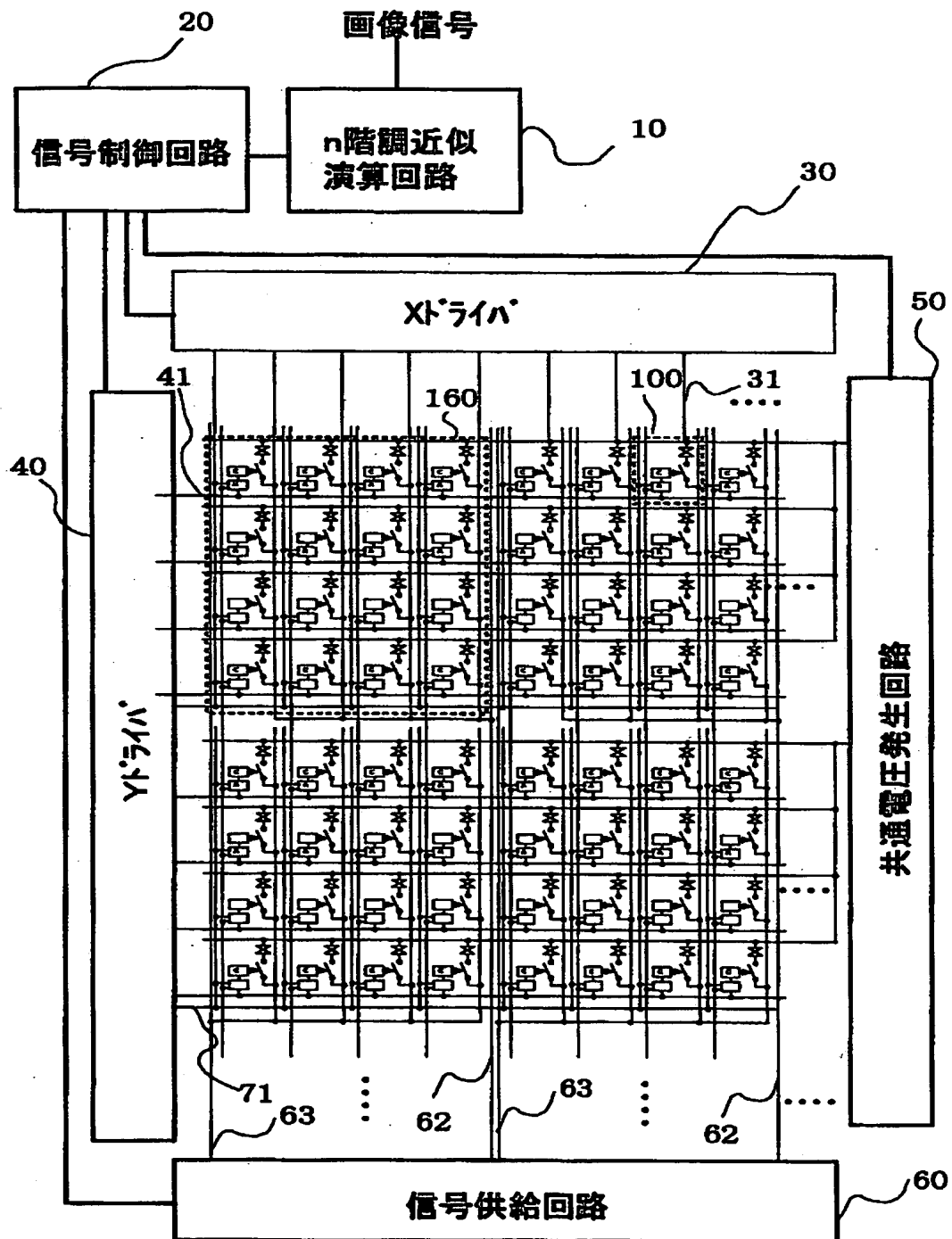
【図 10】



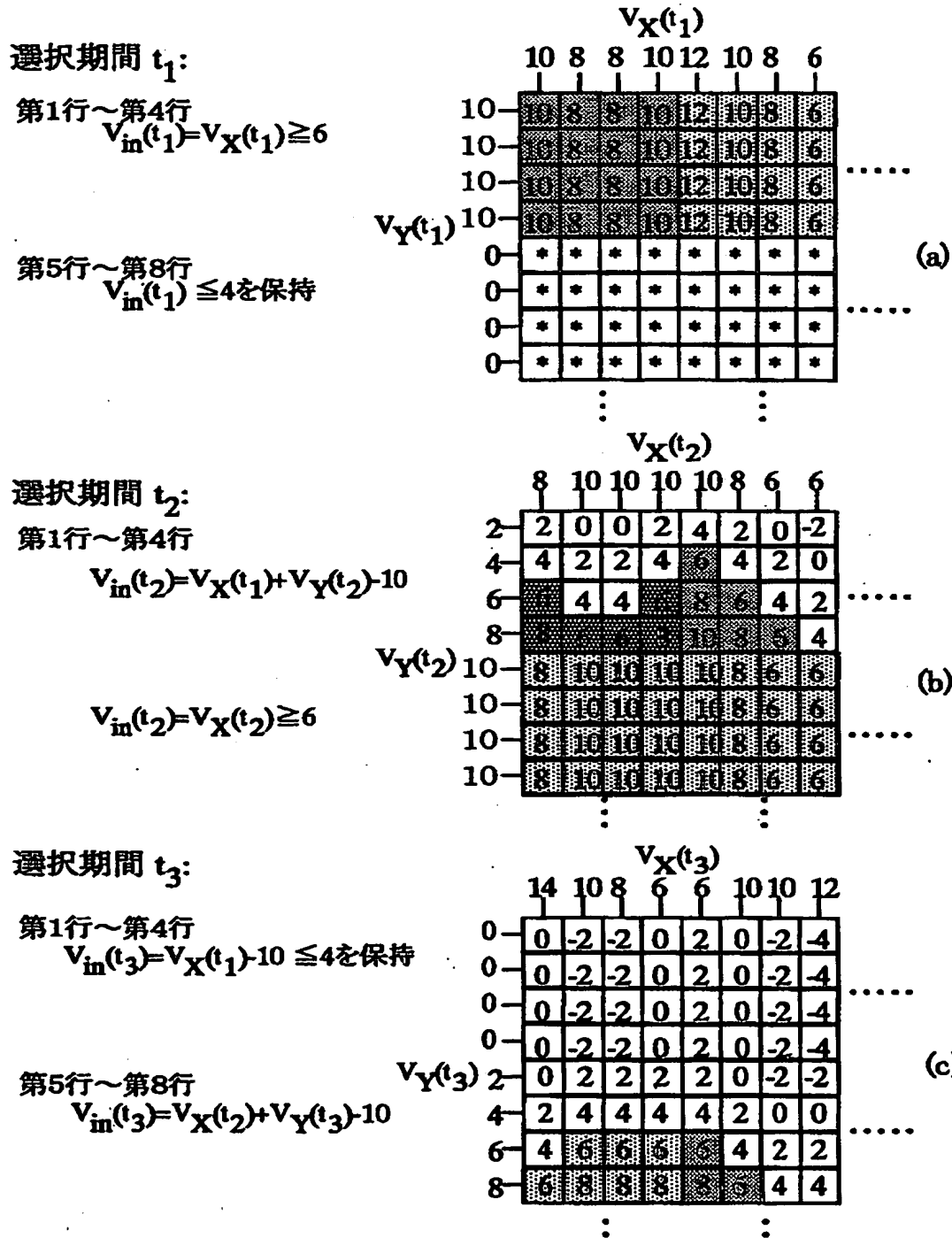
【図 1 1】



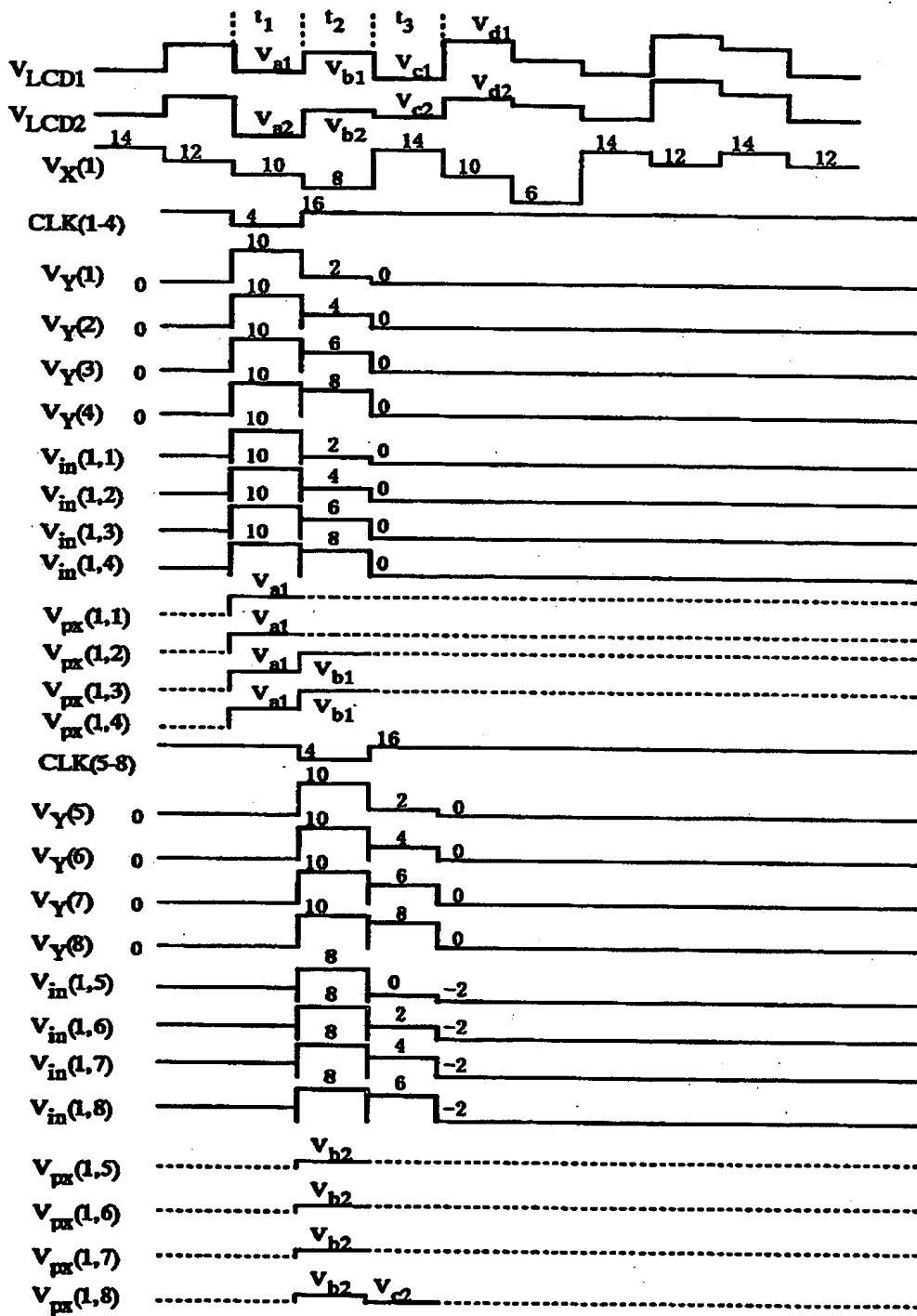
【図 12】



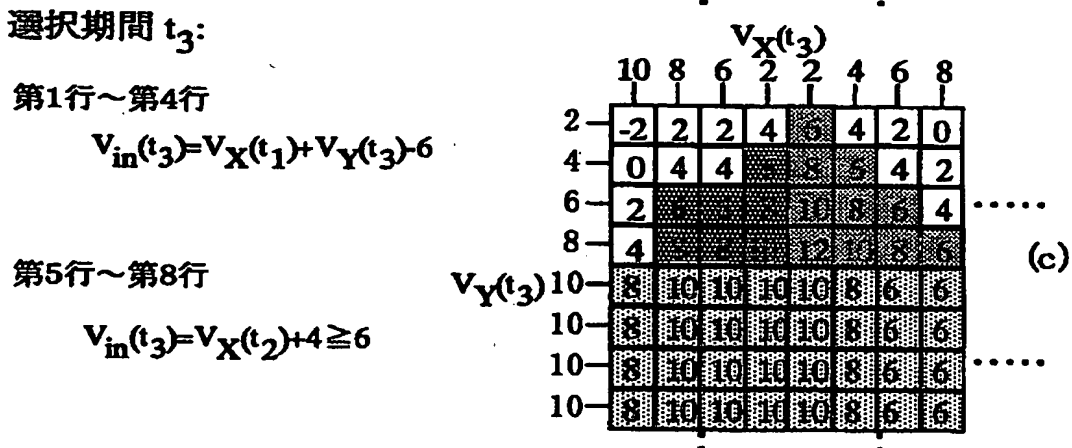
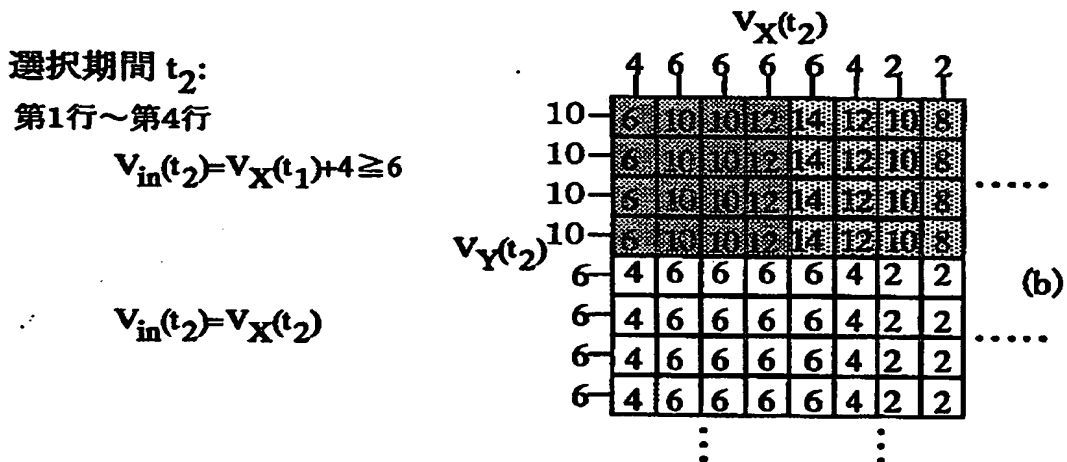
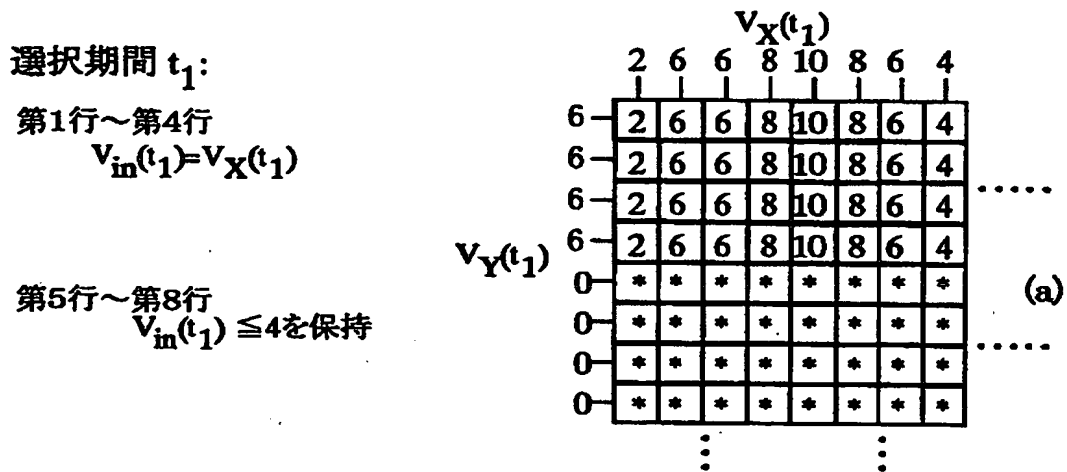
【図 1 3】



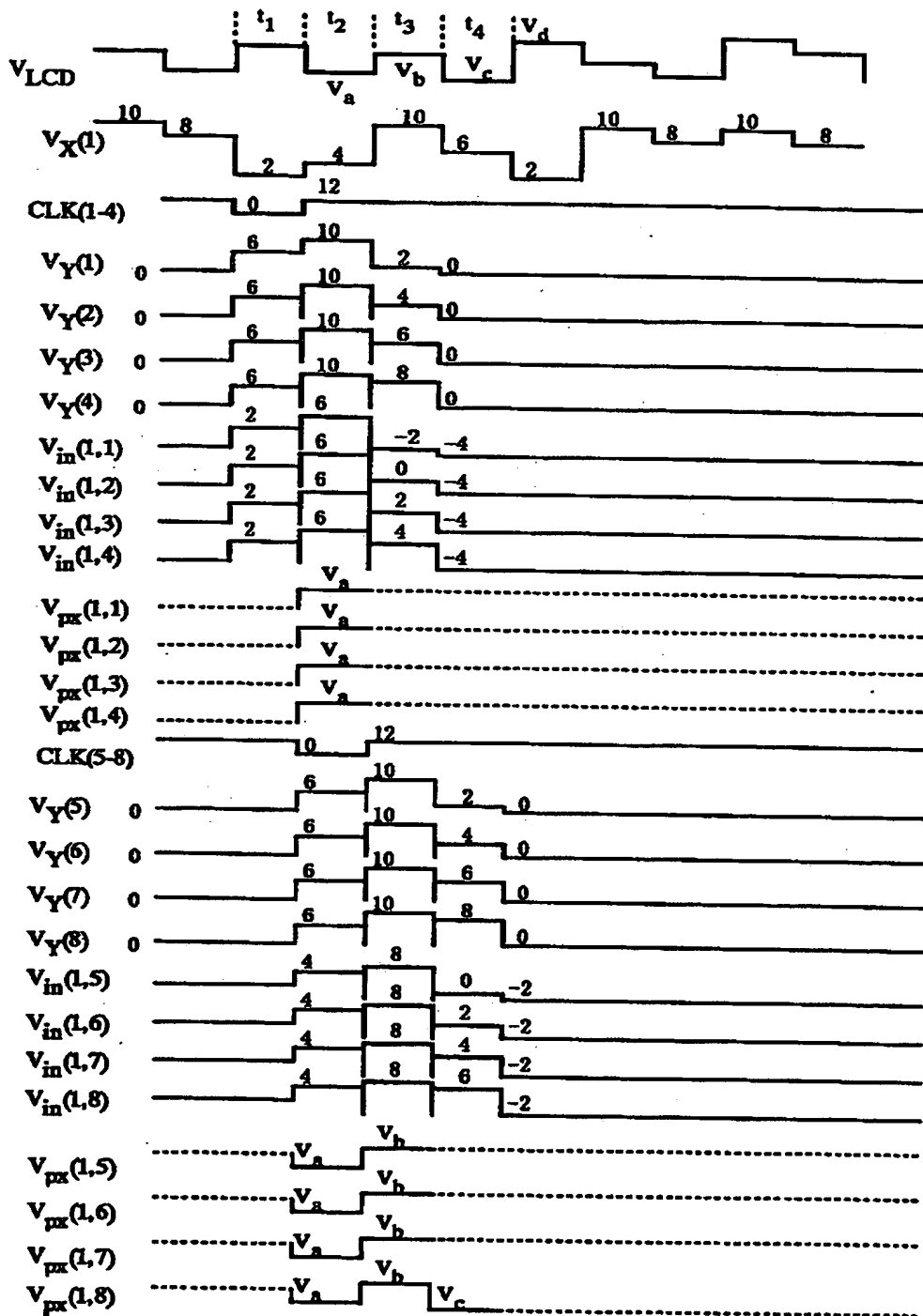
【図14】



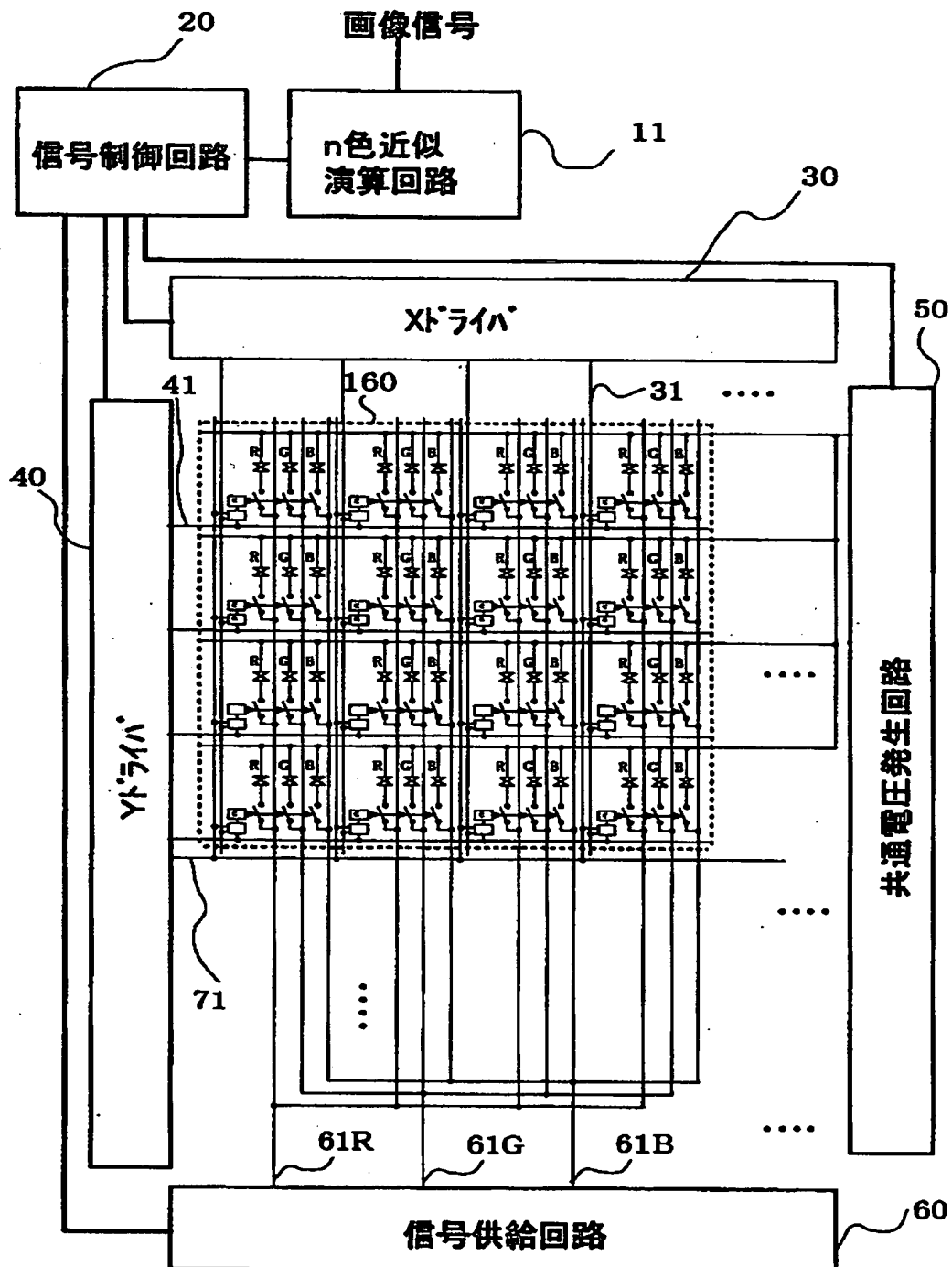
【図 1 5】



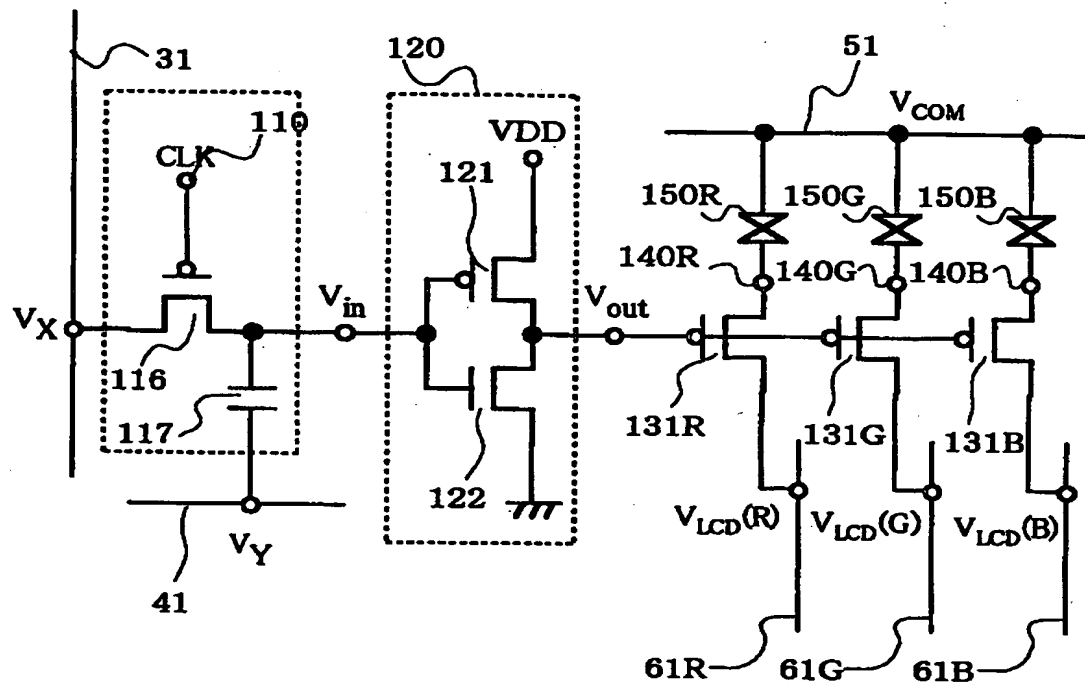
【図16】



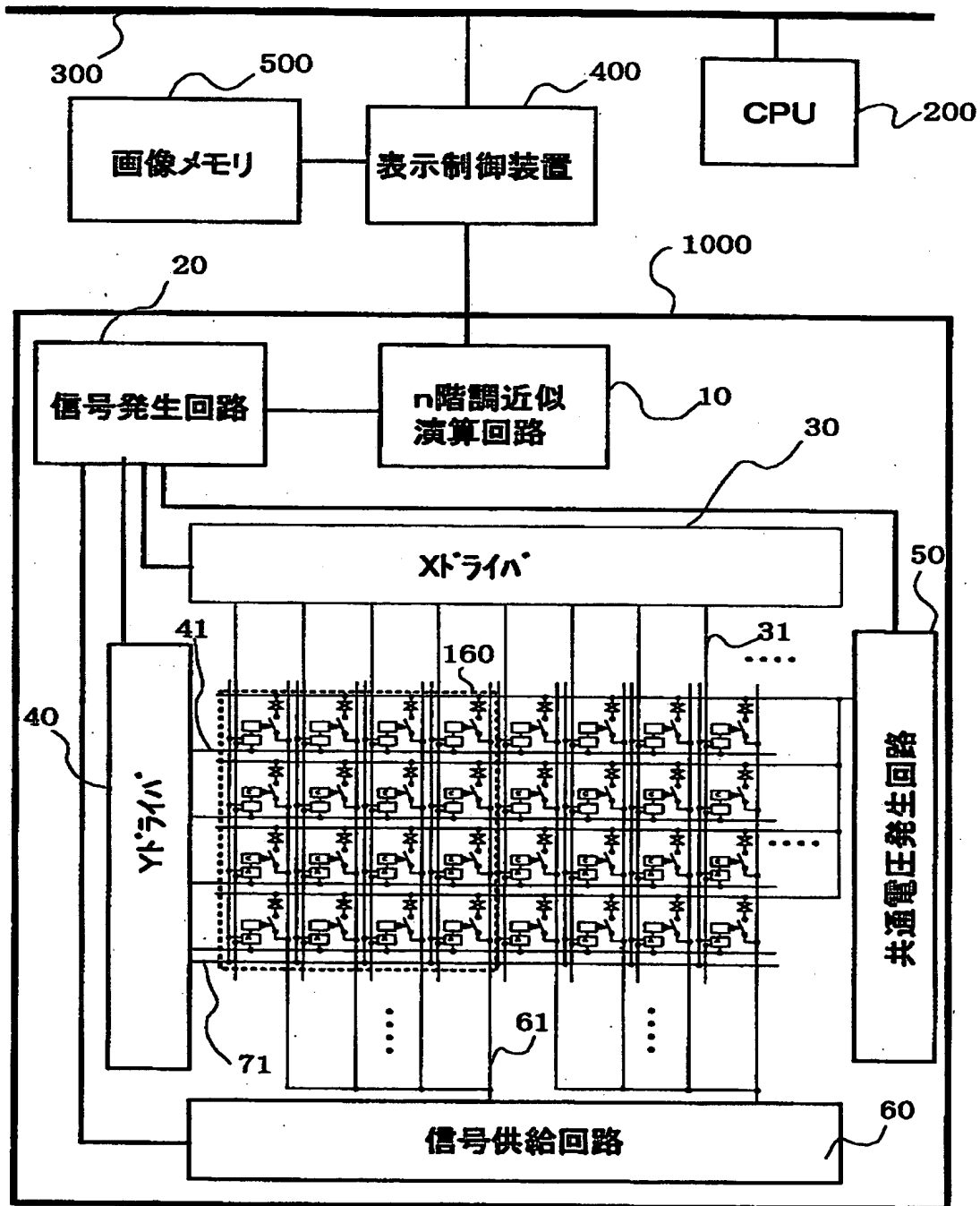
【図 17】



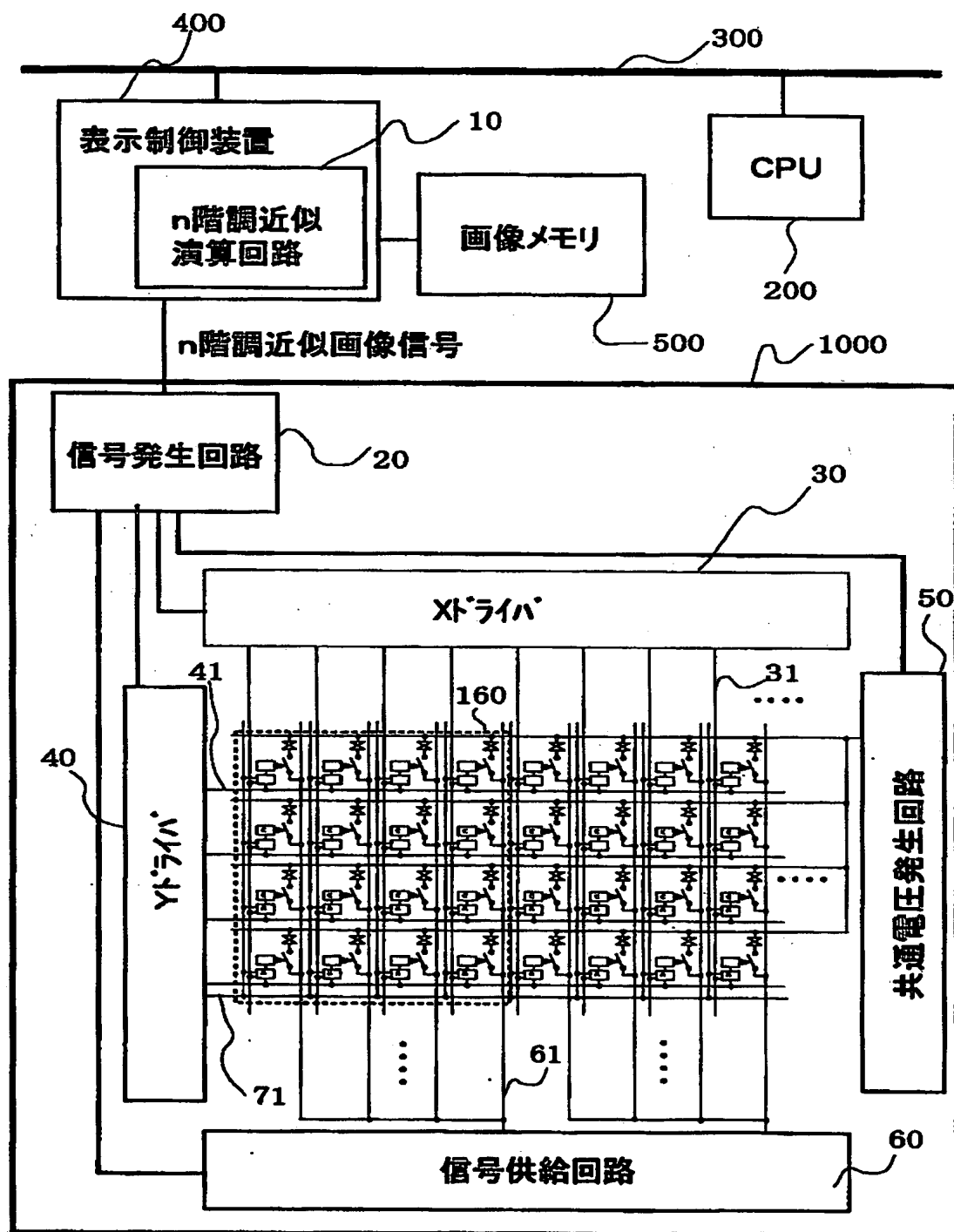
【図 18】



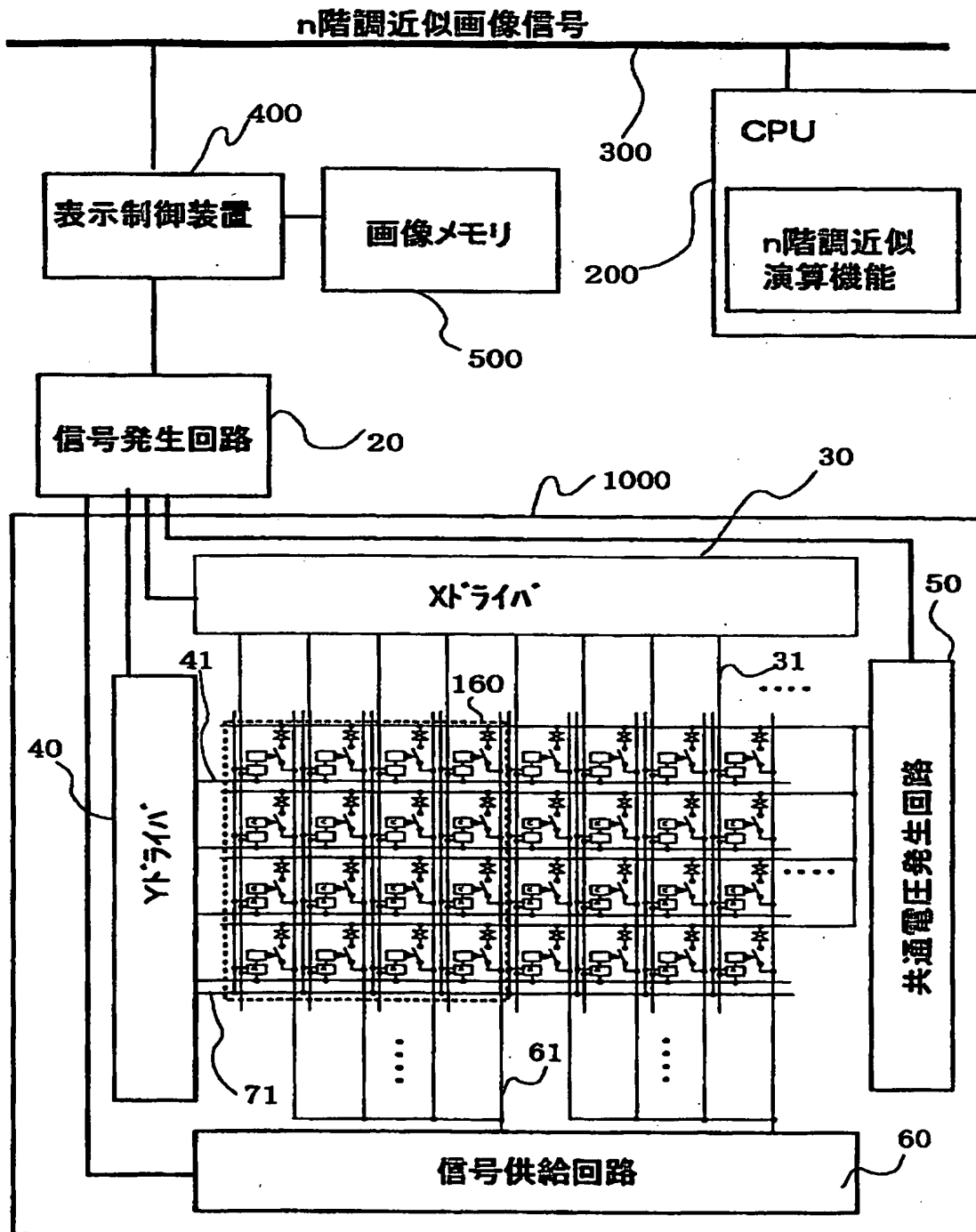
【図19】



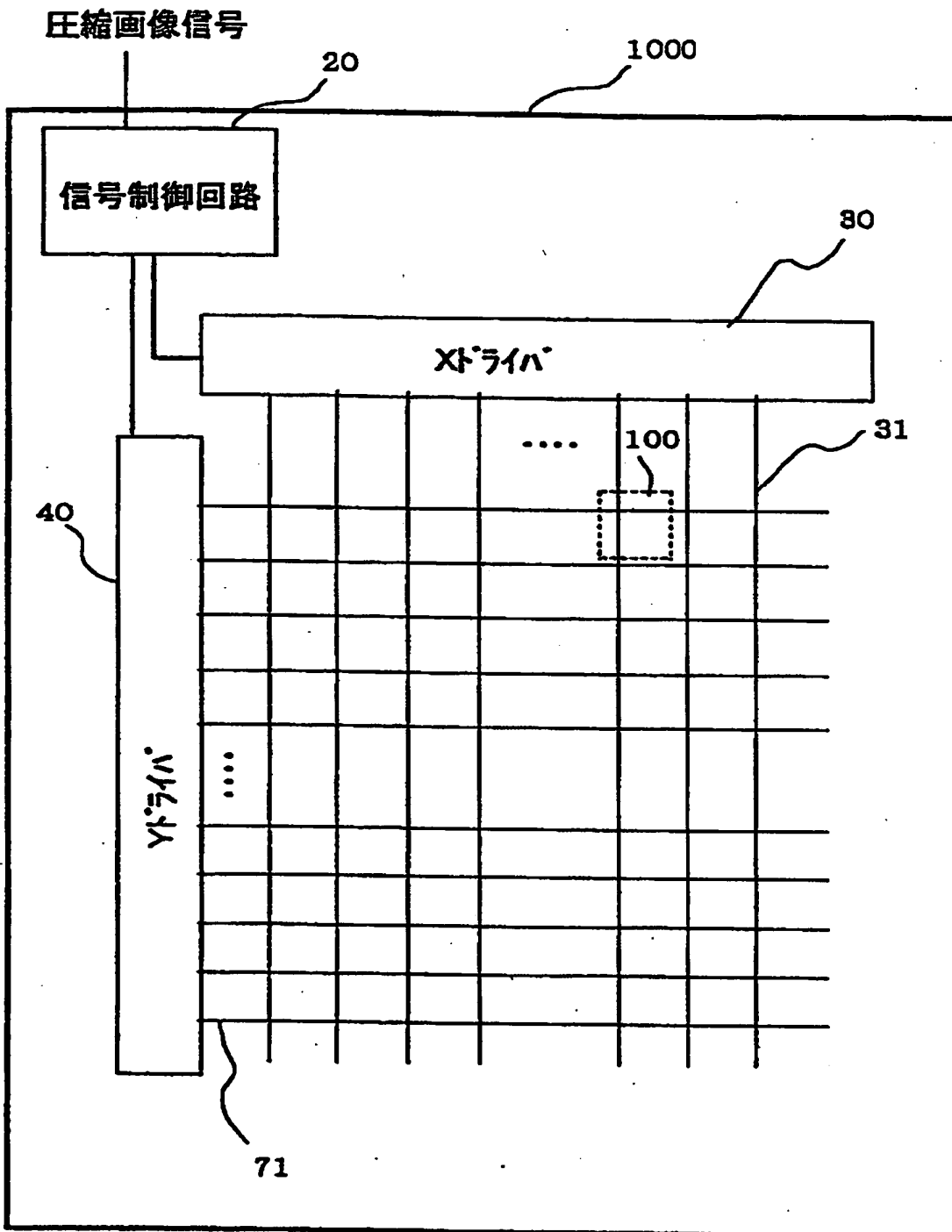
【図20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 超高精細かつ高速動画表示が可能な表示装置を提供する。

【解決手段】 入力した画像信号をブロックごとに2値の階調に近似したn階調近似画像信号に変換するためのn階調近似演算回路10と、n階調近似演算回路10から出力されるn階調近似画像信号に従い、Xドライバ30、Yドライバ40、共通電圧発生回路50、信号供給回路60に所定の信号を供給する信号発生回路20と、Xドライバ30に接続されY方向に伸びたX信号線31とYドライバ40に接続されX方向に伸びたY信号線41との交差部に設けられた複数の画素部100とからなる。高精細表示または高速動画表示するときにも、選択期間を十分に確保できるため、良好な表示が可能である。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所